

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While having the truck for data logging which carried out wobbling by the wobble signal which has a predetermined frequency component To the optical disk with which PURIPITTO which has predetermined phase relation with the wobble signal concerned was formed A wobble signal extract means to be a clock signal generator for record in the data recorder which records data on said wobble signal based on the clock signal for record which carried out phase simulation, and to extract said wobble signal, A generating means to generate said clock signal for record which carried out phase simulation to the extracted wobble signal concerned, A PURIPITTO detection means to detect said PURIPITTO and to generate a PURIPITTO detecting signal, The clock signal generator for record equipped with a phase adjustment signal generation means to compare the phase of the phase of said extracted wobble signal, and said PURIPITTO detecting signal, and to output a phase adjustment signal, and a phase adjustment means to adjust the phase of said clock signal for record based on said phase adjustment signal.

[Claim 2] Said phase adjustment means is claim 1 characterized by consisting of a phase shift means which carries out the phase shift of the phase of the clock signal for record outputted from said generating means. Clock signal generator for record of a publication.

[Claim 3] Said phase adjustment means is a clock signal generator for record according to claim 1 characterized by consisting of a phase shift means which carries out the phase shift of the phase of said wobble signal.

[Claim 4] A phase-comparison means by which said generating means generates the phase contrast signal which shows the phase contrast of said clock signal for record and said wobble signal, It is the PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on the phase contrast signal concerned. Said phase adjustment means Claim 1 characterized by being the addition means to which it is allotted between said phase-comparison means and said oscillator circuits in said PLL circuit, and said phase contrast signal and said phase adjustment signal are made to add Clock signal generator for record of a publication.

[Claim 5] A phase-comparison means by which said generating means generates the phase contrast signal which shows the phase contrast of said clock signal for record and said wobble signal, While being the PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on the phase contrast signal concerned, said phase adjustment means It consists of a phase shift means which carries out the phase shift of the phase of the clock signal for record outputted from said generating means. Said phase adjustment signal generation means The clock signal generator for record according to claim 1 characterized by consisting of a phase-comparison means to compare the phase of the signal which bears the phase of said extracted wobble signal which is outputted from said phase shift means, and said PURIPITTO detecting signal.

[Claim 6] The 1st phase-comparison means which said generating means compares the phase of said clock signal for record and reference clock signal, and generates the 1st phase contrast signal, It is the PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on the 1st phase contrast signal concerned. Said phase adjustment means The phase shift means which carries out the phase shift of the phase of said extracted wobble signal according to said phase adjustment signal, In the 2nd phase-comparison means and said PLL circuit which compares with the phase of said reference clock signal the phase of the wobble signal concerned by which the phase shift was carried out, and outputs the 2nd phase contrast signal The clock signal generator for record according to claim 1 characterized by having been allotted between said 1st phase-comparison means and said oscillator circuits, and having the addition means to which said 1st phase contrast signal and said 2nd phase contrast signal are made to add.

[Claim 7] Said generating means is a voltage-controlled oscillator circuit to which the oscillation frequency of said clock signal for record is made to change according to a control voltage signal. Said phase adjustment means The phase shift means which carries out the phase shift of the phase of said extracted wobble signal according to said phase adjustment signal, Claim 1 characterized by having a control voltage signal generation means to generate said control voltage signal based on the phase contrast of the signal outputted from the phase shift means concerned, and said clock signal for record Clock signal generator for record of a publication.

[Claim 8] The counting-down circuit in which said generating means carries out dividing of said clock signal for record and which generates the signal of said wobble signal cycle, The 1st phase-comparison means which carries out the phase comparison of the signal and said extracted wobble signal of the wobble signal cycle concerned, and generates the 1st phase contrast signal, It is the 1st PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on this 1st phase contrast signal. Said phase adjustment means The phase shift means which carries out the phase shift of the signal of the wobble signal cycle outputted from said counting-down circuit according to said phase adjustment signal, Claim 1 characterized by having the 2nd PLL circuit which carries out phase simulation of said clock signal for record to the signal of said wobble signal cycle outputted from this phase

shift means Clock signal generator for record of a publication.

[Claim 9] Said 2nd PLL circuit is a clock signal generator for record according to claim 8 characterized by having a band limit means to make a band of operation change in the period when a PURIPITTO detecting signal exists at least, and the period not existing.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the clock signal generator for record which generates the clock signal for record concerned in the data recorder which uses the clock signal for record for a recordable optical disk, and records data on it.

[0002]

[Description of the Prior Art] It is CD-R (Compact Disc-Recordable) as a write once optical disk recordable once. It is well-known.

[0003] According to the wobble signal which carried out FM modulation of the subcarrier which has a frequency (22.05kHz) predetermined for the Puri information, such as positional information of the truck on a disk, the groove truck (data-logging truck) slightly rocked by the disk radial (wobbling) exists in CD-R.

[0004] It is [the tangential direction of a groove truck, and] the reflected light from the groove truck of a light beam irradiated in order to have extracted the wobble signal from this groove truck at an parallel parting line optically 2 BPF which receives light by the divided photodetector, takes the difference of the output from each detector, and makes the above-mentioned predetermined frequency center frequency for this differential signal (Band Pass Filter) It is made by supplying.

[0005] The roll control of the CD-R is carried out so that the average frequency of the wobble signal extracted through BPF may turn into the above-mentioned predetermined frequency. Under the present circumstances, the extracted wobble signal (an extract wobble signal is called hereafter.) is used also as a reference signal for generating the clock signal for record. That is, an extract wobble signal is a continuous ringing which has the frequency component which synchronized with rotation of a disk, and generates the clock signal for record which synchronized with rotation of a disk correctly by generating the clock signal which carried out phase simulation to this continuous ringing.

[0006]

[Problem(s) to be Solved by the Invention] By the way, the researches and developments about the so-called DVD-R (Digital Versatile Disc-Recordable) are briskly done as an information record medium which raised storage capacity by about 7 times to the CD-R conventional recently.

[0007] In order that DVD-R may carry out high density record, let the pitch between adjoining trucks be the abbreviation one half of CD-R. It becomes impossible for this reason, to disregard the leakage lump from the groove truck contiguous to the groove truck which irradiated the light beam, and the so-called cross talk. If there is a cross talk from the groove truck of adjoining right and left, an extract wobble signal will receive interference by the wobble signal component of an adjoining groove truck, and the amplitude and phase will be changed. From the extract wobble signal influenced of the above-mentioned cross talk, there is a problem of it becoming impossible to generate the clock signal which synchronized with rotation of a disk correctly by being accompanied, especially fluctuation of a phase, i.e., a jitter.

[0008] Namely, the time amount taken to answer this roll control signal and for a roll control to enact with a cross talk etc. when fluctuation occurs to a roll control signal (phase contrast of a reference signal and an extract wobble signal), Since the time amount taken for the PLL circuit which generates a clock signal to enact differs (the response of a roll control is usually far slow compared with the response of a PLL circuit by the inertia of a disk), the phase of a clock signal and the rotation phase of a disk will shift in the meantime. When such a gap arises, it stops being able to carry out record formation of the data pattern which should be recorded on the location which should be recorded essentially.

[0009] The invention in this application was made in view of the above-mentioned problem, and even if the purpose is the case where the cross talk from an adjoining groove truck exists, it is to offer the clock signal generating circuit which can generate the clock signal for record which synchronized with rotation of a disk correctly.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the clock signal generator for record of invention according to claim 1 While having the truck for data logging which carried out wobbling by the wobble signal which has a predetermined frequency component To the optical disk with which PURIPITTO which has predetermined phase relation with the wobble signal concerned was formed A wobble signal extract means to be a clock signal generator for record in the data recorder which records data on said wobble signal based on the clock signal for record which carried out phase simulation, and to extract said wobble signal, A generating means to generate said clock signal for record which carried out phase simulation to the extracted wobble signal concerned, A PURIPITTO detection means to detect said PURIPITTO and to generate a PURIPITTO detecting signal, It has a phase

adjustment signal generation means to compare the phase of the phase of said extracted wobble signal, and said PURIPITTO detecting signal, and to output a phase adjustment signal, and a phase adjustment means to adjust the phase of said clock signal for record based on said phase adjustment signal, and is constituted.

[0011] Invention according to claim 2 is a clock signal generator for record according to claim 1, and said phase adjustment means consists of a phase shift means which carries out the phase shift of the phase of the clock signal for record outputted from said generating means.

[0012] Invention according to claim 3 is a clock signal generator for record according to claim 1, and said phase adjustment means consists of a phase shift means which carries out the phase shift of the phase of said extracted wobble signal.

[0013] Invention according to claim 4 is a clock signal generator for record according to claim 1. Said generating means A phase-comparison means to generate the phase contrast signal which shows the phase contrast of said clock signal for record and said wobble signal, It is the PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on the phase contrast signal concerned. Said phase adjustment means It consists of an addition means to which it is allotted between said phase-comparison means and said oscillator circuits in said PLL circuit, and said phase contrast signal and said phase adjustment signal are made to add.

[0014] Invention according to claim 5 is clock equipment for record according to claim 1. Said generating means While being the PLL circuit equipped with a phase-comparison means to generate the phase contrast signal which shows the phase contrast of said clock signal for record and said wobble signal, and the oscillator circuit which generates said clock signal for record based on the phase contrast signal concerned Said phase adjustment means consists of a phase shift means which carries out the phase shift of the phase of the clock signal for record outputted from said generating means. Said phase adjustment signal generation means It consists of a phase-comparison means to compare the phase of the signal which bears the phase of said extracted wobble signal which is outputted from said phase shift means, and said PURIPITTO detecting signal.

[0015] Invention according to claim 6 is a clock signal generator for record according to claim 1. Said generating means The 1st phase-comparison means which compares the phase of said clock signal for record and reference clock signal, and generates the 1st phase contrast signal, It is the PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on the 1st phase contrast signal concerned. Said phase adjustment means The phase shift means which carries out the phase shift of the phase of said extracted wobble signal according to said phase adjustment signal, In the 2nd phase-comparison means and said PLL circuit which compares with the phase of said reference clock signal the phase of the wobble signal concerned by which the phase shift was carried out, and outputs the 2nd phase contrast signal It is allotted between said 1st phase-comparison means and said oscillator circuits, and comes to have the addition means to which said 1st phase contrast signal and said 2nd phase contrast signal are made to add.

[0016] Invention according to claim 7 is a clock signal generator for record according to claim 1. Said generating means It is the voltage-controlled oscillator circuit to which the oscillation frequency of said clock signal for record is made to change according to a control voltage signal. Said phase adjustment means It comes to have the phase shift means which carries out the phase shift of the phase of said extracted wobble signal according to said phase adjustment signal, and a control voltage signal generation means to generate said control voltage signal based on the phase contrast of the signal outputted from the phase shift means concerned, and said clock signal for record.

[0017] Invention according to claim 8 is a clock signal generator for record according to claim 1. Said generating means The counting-down circuit which carries out dividing of said clock signal for record, and generates the signal of said wobble signal cycle, The 1st phase-comparison means which carries out the phase comparison of the signal and said extracted wobble signal of the wobble signal cycle concerned, and generates the 1st phase contrast signal, It is the 1st PLL circuit equipped with the oscillator circuit which generates said clock signal for record based on this 1st phase contrast signal. Said phase adjustment means It comes to have the phase shift means which carries out the phase shift of the signal of the wobble signal cycle outputted from said counting-down circuit according to said phase adjustment signal, and the 2nd PLL circuit which carries out phase simulation of said clock signal for record to the signal of said wobble signal cycle outputted from this phase shift means.

[0018] Invention according to claim 9 is a clock signal generator for record according to claim 8, and said 2nd PLL circuit comes to have a band limit means to make a band of operation change in the period when a PURIPITTO detecting signal exists at least, and the period not existing.

[0019]

[Function] While having the truck for data logging which carried out wobbling by the wobble signal which has a predetermined frequency component according to the clock signal generator for record in the invention in this application To DVD-R whose wobble signal concerned is the optical disk with which PURIPITTO which has predetermined phase relation was formed The signal according to the wobble signal which was extracted from the groove truck of the DVD-R concerned in outputting the clock signal for record which bears the timing information which records data, and which carried out phase simulation to the wobble signal, The field between the groove trucks contiguous to the groove truck which is a truck for data logging (a land truck is called hereafter.) from -- the phase of a clock signal is adjusted based on a phase contrast signal with the detected PURIPITTO signal.

[0020] Here, a PURIPITTO signal has the phase relation between a wobble signal and predetermined, and is recorded. Furthermore, since a PURIPITTO signal does not exist in an adjoining land truck location, this PURIPITTO signal is detected, without being influenced of a cross talk.

[0021] Therefore, even when the time-axis of the extract wobble signal in a desired groove truck is changed with the cross talk by the wobble signal of an adjoining groove truck, it can amend to the clock signal for record which bears exact timing information by PURIPITTO.

[0022]

[Embodiment of the Invention] Next, the gestalt of the suitable operation for the invention in this application is explained using a drawing. While forming PURIPITTO corresponding to introduction and the Puri information, a predetermined frequency explains the below-mentioned groove truck using drawing 1 and drawing 2 about DVD-R as an optical disk which carried out wobbling.

[0023] First, the structure of DVD-R is explained using drawing 1. In drawing 1, DVD-R31 is coloring matter mold DVD-R which can write in information data once [equipped with the coloring matter film 35 as a data-logging layer], and the land truck 33 as a truck for a guide for guiding light beam B, such as a laser beam as playback light or a record light, is formed in the groove truck 32 and the groove truck 32 concerned as a truck for data logging. Moreover, in case the protective coat 37 and the recorded data for protecting them are reproduced, it has the golden vacuum evaporation film 36 for reflecting light beam B. And PURIPITTO 34 corresponding to the Puri information is formed in this land truck 33. Before this PURIPITTO 34 ships DVD-R31, it is formed beforehand.

[0024] Furthermore, in DVD-R31 concerned, wobbling of the groove truck 32 is carried out on the frequency corresponding to the rotational speed of a disk. Like above-mentioned PURIPITTO 34, this groove truck 32 by which wobbling was carried out is beforehand formed, before shipping DVD-R31.

[0025] And it is recording information data (information data, such as image information which should be recorded essentially other than the Puri information, are said.) to DVD-R31. It is below the same. In case it records, while carrying out the roll control of DVD-R31 with a predetermined rotational speed by extracting the wobbling frequency of this groove truck 32 in the below-mentioned data recorder While acquiring the Puri information beforehand and setting up the optimal output of light beam B as a record light etc. based on it by detecting PURIPITTO 34 The address information which shows the location on DVD-R31 which should record recording information data is acquired, and it is recorded on the record location where recording information data correspond based on this address information.

[0026] Here, at the time of record of recording information data, recording information data are recorded by irradiating light beam B so that the core may be in agreement with the core of the groove truck 32, and forming the recording information pit corresponding to recording information data on the groove truck 32. At this time, as shown in drawing 1, the magnitude of the optical spot SP is set up so that that part may be irradiated by not only the groove truck 32 but the land truck 33.

[0027] and a part of reflected lights of the optical spot SP irradiated by this land truck 33 -- using -- the push pull method (the tangential direction of the groove truck 32 --) Namely, the push pull method using the photodetector divided by the parting line parallel to the hand of cut of DVD-R31 (it is hereafter called a radial push pull method.) -- while detecting the Puri information from PURIPITTO 34 and acquiring the Puri information concerned, the clock signal for record which extracted the wobble signal from the groove truck 32, and synchronized with rotation of a disk and which is mentioned later is acquired.

[0028] Next, a record format of the Puri information currently beforehand recorded on above-mentioned DVD-R31 is explained using drawing 2. In addition, in drawing 2, an upper case shows the record format in recording information data, the wave of the lower berth shows the wobbling condition (top view of the groove truck 32) of the groove truck 32 which records the recording information data concerned, and the upward arrow head between the wobbling conditions of recording information data and the groove truck 32 shows typically the location in which PURIPITTO 34 is formed. Here, in drawing 2, since an understanding is easy, the wobbling condition of the groove truck 32 is shown using the larger amplitude than the actual amplitude. In addition, recording information data are recorded on the center line of the groove truck 32 concerned.

[0029] As shown in drawing 2, the recording information data recorded on above-mentioned DVD-R31 are beforehand divided for every sink frame as an information unit. And the recording sector of 1 is formed of the sink frame of 26, and the ECC (Error Correcting Code) block of 1 is further formed of the recording sector of 16. In addition, the sink frame of 1 has unit length (henceforth T) 1488 times (1488T) the die length of corresponding to pit spacing specified by the record format at the time of recording the above-mentioned recording information data, and the part of the die length of 14T of the head of the sink frame of 1 is further used as synchronization information SY for taking the synchronization for every sink frame.

[0030] On the other hand, the Puri information recorded on above-mentioned DVD-R31 is recorded for every sink frame. When the Puri information is recorded on DVD-R31 by PURIPITTO 34, here While PURIPITTO 34 of 1 is surely formed as what shows the synchronizing signal in the Puri information on the land truck 33 contiguous to the field to which the synchronization information SY in each sink frame in recording information is recorded On the land truck 33 which adjoins a part for the first portion in the sink frames concerned other than the synchronization information SY concerned As for a branch, PURIPITTO 34 of 1 is formed as what shows the contents of the Puri information which should be recorded (in addition about a part for the first portion in the sink frames concerned other than synchronization information SY, PURIPITTO 34 may not be formed depending on the contents of the Puri information which should be recorded).

[0031] Under the present circumstances, in the recording sector of 1, PURIPITTO 34 is formed only in the even-numbered sink frame (henceforth the EVEN frame), and the Puri information is recorded on it. that is, in drawing 2, when PURIPITTO 34 is formed in the EVEN frame, a continuous-line facing-up arrow head shows (drawing 2) -- PURIPITTO 34 is not formed in the ODD frame which adjoins it. The relation of the existence of each above-mentioned PURIPITTO 34 (it considers as PURIPITTO B0 and B1 and B-2 from the head of a sink frame, respectively.) in the EVEN frame of 1 and the ODD frame following it is set up corresponding to the contents of the information which should be recorded on the EVEN frame of whether it is the head whose EVEN frame concerned of 1 is a recording sector, and 1 concerned, and the ODD frame following it.

[0032] More, in a detail, in forming PURIPITTO in the EVEN frame In the sink frame of the head of a recording sector All PURIPITTO 34 (PURIPITTO B0 and B1 and B-2) is formed. When the Puri information which should be recorded on

the sink frame concerned in sink frames other than the head of a recording sector is "1", only PURIPITTO B0 and B-2 are formed, and when the Puri information which should carry out record is "0", PURIPITTO B0 and B1 is formed. Moreover, when forming PURIPITTO in the ODD frame, in the sink frame of the head of a recording sector, PURIPITTO B0 and B1 is formed, and it is the same as that of the case of the above-mentioned EVEN frame in sink frames other than the head which is a recording sector.

[0033] In addition, it is decided depending on the location of PURIPITTO 34 formed by whether PURIPITTO 34 is formed in which sink frame of an EVEN frame / the ODD frame preceding on an adjoining land track. That is, although PURIPITTO 34 is usually formed in the EVEN frame, PURIPITTO 34 is formed in the ODD frame, when PURIPITTO 34 is formed in the EVEN frame concerned and it approaches in the direction of a path of PURIPITTO 34 on the adjoining land track formed by preceding, and the disk of DVD-R31. Thus, by forming, since PURIPITTO 34 stops existing in an adjoining land track location, if in charge of detection of PURIPITTO 34, the effect by the cross talk can be reduced.

[0034] On the other hand, the groove track 32 covers all sink frames, and wobbling is carried out on the fixed wobbling frequency f_0 (frequency on which the wobble signal for eight waves enters in the sink frame of 1) of 140kHz. And in the below-mentioned data recorder, by extracting this fixed wobbling frequency f_0 , while the signal for the roll control of a spindle motor is detected, the clock signal for record is generated.

[0035] In addition, in order to carry out phase relation between PURIPITTO 34 and a wobble signal to regularity, PURIPITTO B0 is formed in a predetermined location (for example, location distant by seven [T]) from the starting position of a sink frame, it separates from PURIPITTO B0 186T (1488T/8) every, and PURIPITTO B1 and B-2 are formed (the formation approach of PURIPITTO is explained to No. 310941 eight years of Japanese Patent Application No. at the detail.).

[0036] The operation gestalt of the clock signal generator for record, next the gestalt of operation of the 1st of the clock signal generator for record concerning the invention in this application contained in a data recorder are explained based on drawing 3 thru/or drawing 5. In addition, the following explanation explains the gestalt of the operation which applied this invention about the data recorder for recording the recording information data transmitted from a host computer to above-mentioned DVD-R31.

[0037] The whole data recorder configuration and actuation containing the clock signal generator for record concerning introduction and this operation gestalt are explained using drawing 3. In addition, with the gestalt of the following operations, in DVD-R31, above-mentioned PURIPITTO 34 and the groove track 32 which carries out wobbling containing the address information on DVD-R31 concerned etc. shall be formed beforehand, the address information on DVD-R31 shall be obtained by detecting PURIPITTO 34 concerned beforehand at the time of record of recording information data, and the record location on DVD-R31 which records recording information data by this shall be detected and recorded.

[0038] As shown in drawing 3, data recorder S Pickup 1 and a spindle motor 2, The spindle driver 3, the laser drive circuit 4, and the power control circuit 5. An encoder 6, a regenerative amplifier 8, a decoder 9, and a processor 10 (CPU). The reference clock generator 11 which generates the reference clock signal for a roll control, BPF (Band Pass Filter)12 and the PURIPITTO signal detector 13 as a PURIPITTO detection means, The PURIPITTO signal decoder 14 and the wobble signal extractor 15 as a wobble signal extract means, The phase comparator 16 as a phase adjustment signal generation means, and the phase comparator 17 which generates a roll control signal, A phase comparator 181 and the PLL (Phase Locked Loop) circuit 18 as a generating means which consists of LPF (Low Pass Filter)182 and VCO (Voltage Controlled Oscillator)183. It consists of phase shifters 19 as a phase adjustment means.

[0039] BPF12, the PURIPITTO signal detector 13, the wobble signal extractor 15, a phase comparator 16, the PLL circuit 18, and a phase shifter 19 constitute the clock signal generator G for record in the invention in this application among these. Moreover, the information data which should be recorded (not shown) are inputted into the data recorder concerned through an interface 7 from an external host computer.

[0040] Next, the whole actuation is explained. Pickup 1 contains the laser diode which is not illustrated, a polarization beam splitter, an objective lens, a photodetector, etc. in the case of record actuation While irradiating light beam B at the information recording surface of DVD-R31 by the outgoing radiation power which changes according to the laser driving signal based on recording information data supplied from the laser drive circuit 4 and recording recording information data Light beam B is irradiated by fixed outgoing radiation power (reading power) at DVD-R31 in the case of read actuation, and it operates so that the reflected light may be received with a photodetector.

[0041] Moreover, by receiving with a photodetector the reflected light from the information recording surface which the light beam which irradiated the information recording surface requires, and changing this into an electrical signal, for example, performing data processing based on a radial push pull method, pickup 1 generates the detecting signal SDT which bears recording information data etc. in the wobble signal list of above-mentioned PURIPITTO 34 and the groove track 32, and outputs it to a regenerative amplifier 8.

[0042] A regenerative amplifier 8 is the magnification signal Sp corresponding to the recording information data already recorded in the case of read actuation while outputting the Puri information signal Spp which amplifies the detecting signal SDT which bears the PURIPITTO signal of PURIPITTO 34 outputted from pickup 1, and the wobble signal of the groove track 32, and includes the PURIPITTO signal of PURIPITTO 34, and the wobble signal of the groove track 32 to BPF12 in the clock signal generator G for record. It outputs to a decoder 9.

[0043] A decoder 9 is the inputted magnification signal Sp. It is the magnification signal Sp concerned by receiving and giving 8/16 recovery and a day interleave. It decodes, the recovery signal SDM is generated and this recovery signal SDM is outputted to CPU10.

[0044] On the other hand, BPF12 outputs the composite signal Spc (drawing 5 (a)) with which the noise component contained in the Puri information signal Spp supplied from the regenerative amplifier 8 was removed, and it was superimposed on the PURIPITTO signal in the predetermined location (for example, maximum amplitude location) of a wobble signal to the wobble signal extractor 15 at PURIPITTO signal-detector 13 list.

[0045] The PURIPITTO signal detector 13 which is a PURIPITTO signal detection means outputs the PURIPITTO detecting signal SPD which are the period when it becomes from the comparator in comparison with the becoming level V_{rp} which is not illustrated at, and the amplitude level of a composite signal S_{pc} serves as size from the above-mentioned reference value V_{rp} , i.e., the period when PURIPITTO exists, and a pulse signal size to a phase comparator 16 at PURIPITTO signal decoder 14 list from the maximum amplitude value of a wobble signal [in / for a composite signal S_{pc} / a predetermined reference value (a), for example, drawing 5 .].

[0046] From the supplied PURIPITTO detecting signal SPD, the PURIPITTO signal decoder 14 decodes the Puri information containing the address information on DVD-R31, and outputs it to CPU10.

[0047] On the other hand, the wobble signal extractor 15 which is a wobble signal extract means It has the comparator in comparison with the middle level V_{r0} of PP (Peak toPeak) value of a wobble signal [in / for a composite signal S_{pc} / a predetermined reference value (a), for example, drawing 5 .] which is not illustrated. The pulse signal (drawing 5 (b)) used as the period H (High) level which serves as size from the above-mentioned reference value V_{r0} in the amplitude level of a composite signal S_{pc} is outputted to the PLL circuit 18 which are phase comparators 16 and 17 and a clock signal generating means for record as an extract wobble signal SWB.

[0048] The PLL circuit 18 outputs the clock signal SCK which became a phase comparator 181, LPF182, and VCO183 list from the counting-down circuit 184, and synchronized with the phase of the inputted extract wobble signal SWB to a phase shifter 19.

[0049] On the other hand, the phase comparator 16 which is a phase adjustment signal generation means performs the phase comparison of the PURIPITTO detecting signal SPD and the extract wobble signal SWB according to the operation mentioned later, and outputs the phase adjustment signal SCNT which shows the gap from the predetermined phase relation which this PURIPITTO detecting signal and an extract wobble signal have to a phase shifter 19.

[0050] The phase shifter 19 which is a phase adjustment means is the approach of mentioning later, carries out phase adjustment of the phase of the clock signal SCK supplied from the PLL circuit 18 based on the phase adjustment signal SCNT, and outputs it to encoder 6 list as a clock signal SCR for record in the power control circuit 5.

[0051] On the other hand, a phase comparator 17 is the inputted extract wobble signal SWB and the reference clock signal SREF which bears the reference frequency component of the rotational speed of DVD-R31 supplied from the reference clock generator 11. A phase comparison is performed and a spindle motor 2 is supplied through the spindle driver 3 by making the difference signal into a roll control signal. A spindle servo is constituted by this and DVD-R31 is made to rotate at a predetermined rotational frequency.

[0052] On the other hand, an interface 7 performs interface actuation for incorporating this to a data recorder to the recording information data SRR transmitted from the host computer which is not illustrated under control of CPU10, and outputs the recording information data concerned to an encoder 6 through CPU10.

[0053] An encoder 6 performs scramble processing to ECC processing, and 8 / 16 modulation processing list by making into a timing signal clock signal SCR for record supplied from a phase shifter 19, generates a modulating signal SRE, and outputs it to the power control circuit 5.

[0054] The power control circuit 5 performs conversion of waveform (the so-called light strategy processing) of a modulating signal SRE based on clock signal SCR for record outputted from the clock signal generator G so that it may make good the configuration of the record pit formed on a disk, and it is the record signal SD. It carries out and outputs to the laser drive circuit 4.

[0055] The laser drive circuit 4 is pickup 1. Record signal SD which actually drove the laser diode which can be set, and which is not illustrated and was supplied The laser driving signal for carrying out outgoing radiation of the light beam B by the outgoing radiation power which responded is outputted.

[0056] Address information is acquired from the Puri information supplied from the PURIPITTO signal decoder 14 in the case of record actuation, and CPU10 controls the whole data recorder to record recording information data on the location on DVD-R31 corresponding to the address information concerned. Moreover, in the case of playback actuation, CPU10 acquires the recording information data currently recorded on the disk 31 from the recovery signal SDM, and the whole data recorder is controlled to output these recording information data to an external host computer.

[0057] Next, the more concrete configuration of the phase shifter 19 which is a phase adjustment means is explained to the phase comparator 16 list which is a phase adjustment signal generation means in the clock signal generator G for record concerning the invention in this application using drawing 4 and drawing 5 .

[0058] a phase comparator 16 -- Madokoro of H level of the extract wobble signal SWB -- it is constituted including the triangular wave generating circuit 163 which generates the triangular wave signal which has whenever [tilt-angle / of a law], and the sample hold circuit 164 holding the amplitude level of the generated triangular wave signal concerned in the detection timing of the PURIPITTO detecting signal SPD.

[0059] The triangular wave generating circuit 163 consists of the capacitor 45 with which the end was grounded, a constant current source 46 which is connected to the end of another side of the capacitor 45 concerned, and supplies a fixed current to the capacitor 45 concerned, and a switch 47 to which the end of another side was connected at the node a of the above-mentioned capacitor 45 and a constant current source 46 while the end was grounded. Moreover, while the extract wobble signal SWB concerned is made into an open condition at the period of H level according to the extract wobble signal SWB with which a switch 47 is supplied through a buffer 161, the extract wobble signal SWB is made into a closed state at the period of L (Low) level.

[0060] Generating of a triangular wave signal is performed by the above configuration. That is, if the extract wobble signal SWB serves as H level and a switch 47 is made into an open condition, the terminal voltage in Node a, i.e., the charge electrical potential difference of a capacitor 45, will rise by whenever [according to the electrostatic capacity of a capacitor 45 / tilt-angle] according to the fixed charging current supplied to a capacitor 45 from a constant

current source 46 (T1 of drawing 5 (d)).

[0061] On the other hand, if the extract wobble signal SWB serves as L level and a switch 47 is made into a closed state, the charge electrical potential difference of a capacitor 45 will discharge at a stretch through a switch 47, and Node a will serve as a touch-down electrical potential difference (T2 of drawing 5 (d)). The charging current supplied from a constant current source 46 also has a capacitor 45 bypassed through a switch 47 in the meantime. And if a switch 47 is again made into an open condition, supply of the charging current to a capacitor 45 will be resumed, and the terminal voltage of a capacitor 45 will rise with time amount from a touch-down electrical potential difference on a fixed inclination (T3 of drawing 5 (d)). Thus, the triangular wave generating circuit 163 generates the triangular wave signal which changes at a rate that the period of H level of the extract wobble signal SWB and amplitude level are fixed, and outputs this triangular wave signal to a sample hold circuit 164 through a buffer 162.

[0062] A sample hold circuit 164 consists of a switch 48 which relays the triangular wave signal supplied through a buffer 162 to a capacitor 49 according to the PURIPITTO detecting signal SPD, and a capacitor 49 holding the voltage level of the relayed triangular wave signal.

[0063] As for the period of L level, the PURIPITTO detecting signal SPD will be in an open condition, and a switch 48 will make ** supply to the capacitor 49 of a triangular wave signal while the PURIPITTO detecting signal SPD will be in the period of H level, and a closed state and supplies a triangular wave signal to a capacitor 49.

[0064] Therefore, a capacitor 49 will hold the charge electrical potential difference according to the amplitude level of the triangular wave signal supplied at the period of H level of the PURIPITTO detecting signal SPD until H-level period of the following PURIPITTO detecting signal SPD comes. The charge electrical potential difference which this capacitor 49 holds is the phase adjustment signal SCNT. It carries out and a phase shifter 19 is supplied through a buffer 165.

[0065] As above, by carrying out the charge and discharge of the capacitor 45 according to the transition state between H level / L level of the extract wobble signal SWB, a phase comparator 16 generates the triangular wave signal which has whenever [predetermined tilt-angle], and does the sample/hold of the amplitude level of the triangular wave signal concerned to the detection timing of the PURIPITTO detecting signal SPD.

[0066] The groove which bears the wobble signal in DVD-R31, and PURIPITTO which bears a PURIPITTO signal are recorded with predetermined phase relation as shown in drawing 2. Therefore, whenever the phase of the extract wobble signal SWB outputted from the wobble signal extractor 15 and the PURIPITTO detecting signal SPD outputted from the PURIPITTO signal detector 13 has the predetermined phase relation concerned, a sample / held signal level will be predetermined voltage levels (for example, set to the middle amplitude level VM of the triangular wave signal in drawing 5 (d)).

[0067] However, when there is a leakage lump of the wobble signal component from an adjoining groove track under the effect of a cross talk, the fluctuation on a time-axis will arise from the groove track concerned to the extract wobble signal SWB by interference with this wobble signal component. On the other hand, since approach a PURIPITTO signal and it is not formed in the direction of a path of DVD-R31 as above-mentioned, and the effect of the cross talk from an adjoining land track does not win popularity, the PURIPITTO detecting signal SPD detected from a composite signal SPC can consider that it is an exact timing signal without the fluctuation on the time-axis based on a cross talk.

[0068] Therefore, it becomes possible a sample / by holding to get to know the amount of deflections from the above-mentioned predetermined phase relation about the triangular wave signal generated from the extract wobble signal SWB by this PURIPITTO detecting signal SPD. That is, a phase comparator 16 operates so that the extract wobble signal SWB and the voltage signal (centering on middle amplitude level VM amplitude level in this example) according to phase contrast (time-axis error of the extract wobble signal produced with the cross talk) with the PURIPITTO detecting signal SPD may be outputted. This phase contrast signal is the phase adjustment signal SCNT. It carries out and a phase shifter 19 is supplied.

[0069] On the other hand, a phase shifter 19 is the clock signal SCK outputted from the PLL circuit 18. The transistor 191 supplied to base terminal B through a capacitor 195. The variable capacitance diode 192 by which a cathode is connected to a resistor 193 in Node b through a capacitor 196 while an anode is connected to the collector terminal C of the transistor 191 concerned. While an end is connected to the emitter terminal E of the transistor 191 concerned, the end of another side is equipped with the resistor 193 connected at Node b.

[0070] Moreover, the phase adjustment signal SCNT supplied from a phase comparator 16 is connected to the cathode of variable capacitance diode 192 through a resistor 194. And it has the composition that clock signal SCR for record is outputted through a buffer 196 from Node b. In addition, two or more resistors 197 are the bias resistance of a transistor 191.

[0071] Phase adjustment signal SCNT with which the clock signal SCK supplied from the PLL circuit 18 is inputted into a phase shifter 19, and the phase of this clock signal SCK is supplied from a sample hold circuit 164 by the above configuration A phase shift is responded and carried out. That is, the clock signal SCK supplied to base terminal B of a transistor 191 is outputted as an in-phase signal with an input-clock signal from the emitter terminal E while it is outputted as a reversal signal by which phase reversal was carried out from the collector terminal C about 180 degrees to the input-clock signal SCK. Under the present circumstances, if the reactance value based on the electrostatic capacity of a capacitor 196 is smallness enough compared with the resistance of a resistor 193, the 180 abbreviation phase shift of the clock signal SCR for record outputted from the output signal 19 from Node b, i.e., a phase shifter, will be carried out to variable-capacitance-diode 192 list to the input-clock signal SCK.

[0072] On the contrary, if a reactance value consists of resistance size enough, the input-clock signal SCK and clock signal SCR for record will still be inphases. Thus, the amount of phase shifts changes to variable capacitance diode 192 and capacitor 196 list according to the impedance by the resistor 193. In addition, what is necessary is to connect a phase shifter 19 to concatenation and just to consider as a multistage configuration, when you need the amount of

phase shifts of 180 degrees or more.

[0073] It is the phase adjustment signal SCNT about the phase contrast signal outputted from a phase comparator 16 with this operation gestalt. It carries out, variable capacitance diode 192 is supplied, and it is this phase adjustment signal SCNT. By making the terminal voltage of variable capacitance diode 192 change, the reactance value of variable capacitance diode was made to change, the amount of phase shifts of a clock signal SCK was changed, and clock signal SCR for record has been obtained. that is, a phase shift adjustment signal SCNT The above VM whose signal level shows that it is phase relation predetermined in the phase relation between an extract wobble signal and a PURIPITTO detecting signal from -- according to how much it is deflecting, the amount of phase shifts of a clock signal SCK is adjusted in the direction which offsets this amount of deflections, and it outputs to an encoder 6 and a list in the power control circuit 5 by making into the clock signal for record the clock signal with which this adjustment was performed.

[0074] Thus, since the fluctuation on the time-axis of the clock signal generated based on the wobble signal which cannot disregard effect of a cross talk is amended using PURIPITTO which is not influenced of a cross talk, it becomes possible to generate the clock signal for record which synchronized with rotation of a disk in a high precision.

[0075] The gestalt of other operations of the clock signal generator for record, next the gestalt of operation of the 2nd of a clock signal generator are explained using drawing 6. The gestalt of this operation shows the example of the clock signal generator for record in connection with claim 4 of this invention. It replaces with the phase-shifter 19 list shown in drawing 3 in the gestalt of this operation in the PLL circuit 18, and comes to have the PLL circuit 20.

VCO203 to which the PLL circuit 20 outputs a clock signal SCK, The counting-down circuit 204 which carries out dividing of this clock signal SCK, and is made into the same frequency as a wobble signal, The phase comparator 201 which is a phase-comparison means to output the phase contrast signal of the extract wobble signal SWB and the signal which carried out dividing with the counting-down circuit 204, The phase contrast signal outputted from this phase comparator 201, and phase adjustment signal SCNT outputted from a phase comparator 16 The adder 205 which is a phase adjustment means to add, It consists of LPF202 which extracts the low-pass component of the addition signal outputted from this adder 205, and is made into the control voltage of VCO203. And the clock signal SCK outputted from VCO203 is supplied to the power control circuit 5 as a clock signal SCR for record at encoder 6 list.

[0076] A part for the time-axis fluctuation by the cross talk from the adjoining groove track which the extract wobble signal SWB supplied from a phase comparator 201 has according to this configuration is the phase adjustment signal SCNT. Since each other is offset by adding, from VCO203, clock signal SCR for record which synchronized with rotation of a disk in a high precision will occur. In addition, since other configurations are the same as the configuration shown in drawing 3, the explanation is omitted.

[0077] Furthermore, the gestalt of the 3rd operation is explained using drawing 7. The gestalt of this operation shows the example of the clock signal generator for record in connection with claim 5 of this invention. In the gestalt of this operation, it is constituted so that it may consider as the signal (the frequency is the same as a wobble signal.) which carried out dividing of the clock signal SCR for record which replaces with the extract wobble signal SWB the signal supplied to the phase comparator 16 in drawing 3, and is outputted from the phase shifter 19 which is a phase adjustment means with the counting-down circuit 21. And it is the phase adjustment signal SCNT about the phase contrast signal acquired as a result of having carried out the phase comparison of this signal that carried out dividing, and the PURIPITTO detecting signal SPD. It carries out and returns to a phase shifter 19.

[0078] Since a gap of the phase relation between a wobble signal and a PURIPITTO signal can be amended to the detection timing of a PURIPITTO signal like the operation gestalt of the above 1st, this configuration also enables it to generate clock signal SCR for record which synchronized with rotation of a disk in a high precision. Moreover, since other configurations are the same as the configuration shown in drawing 3, the explanation is omitted.

[0079] Furthermore, the invention in this application is realizable with the configuration shown in drawing 8. The gestalt of this operation shows the example of the clock signal generator for record in connection with claim 6 of this invention.

[0080] It is the phase adjustment signal SCNT to which the extract wobble signal SWB which replaces a phase shifter 19 with the clock signal SCK in drawing 3 in drawing 8, and is supplied from the wobble signal extractor 15 is supplied from a phase comparator 16. It is constituted so that a phase shift may be responded and carried out. Furthermore, the output signal of this phase shifter 19 and the reference clock signal SREF which the reference clock generator 11 generates A phase comparison is carried out with the phase comparator 17 which is the 2nd phase-comparison means, that phase contrast signal is supplied to a spindle motor 2 through the spindle driver 3, and the roll control of DVD-R31 constitutes it. On the other hand, the phase contrast signal outputted from a phase comparator 17 is the reference clock signal SREF which is supplied also to the adder 205 in the PLL circuit 20 which is the generating means of a clock signal, and is supplied from the phase comparator 201 which is the 1st phase-comparison means. It is added to a phase contrast signal (1st phase contrast signal) with a clock signal SCK.

[0081] Based on the addition signal outputted from an adder 205, the oscillation frequency of VCO203, i.e., the oscillation frequency of a clock signal SCK, is controlled. And the clock signal SCK outputted from VCO203 is supplied to the power control circuit 5 as a clock signal SCR for record at encoder 6 list.

[0082] That is, drawing 8 According to the shown configuration, it is the phase contrast SCNT of a PURIPITTO detecting signal and an extract wobble signal, i.e., a phase adjustment signal. It is the extract wobble signal SWB that a direct phase shift is carried out in a phase shifter 19, and it generates clock signal SCR for record while performing the roll control of a disk based on this wobble signal that carries out a phase shift. In addition, in drawing 8, a phase adjustment means is constituted by a phase shifter 19, a phase comparator 17, and reference clock generator 11 list with an adder 205.

[0083] Thus, since generation of clock signal SCR for record is made by the roll control list of a disk based on the extract wobble signal SWB by which the phase shift was carried out with a phase shifter 19 according to the configuration shown in drawing 8, it becomes possible to generate clock signal SCR for record which synchronized with rotation of a disk in a high precision.

[0084] Furthermore, the configuration shown in drawing 8 can also be deformed as shown in drawing 9. That is, it becomes possible to generate clock signal SCR for record which synchronized with rotation of a disk in a high precision like drawing 8 also as a configuration supplied also to the phase comparator 181 of the PLL circuit 18 which shows it to drawing 3 while supplying the wobble signal which is outputted from a phase shifter 19, and by which phase adjustment was carried out by the PURIPITTO detecting signal SPD to a phase comparator 17. According to the configuration shown in drawing 9, the advantage from which an adder becomes unnecessary is in a PLL circuit.

[0085] In addition, the example of the clock signal generator for record in connection with claim 7 of this invention is shown, as for the configuration shown in drawing 9, VCO183 constitutes the generating means of the clock signal for record, and LPF182 constitutes a phase adjustment means in phase-shifter 19 and dividing term 184 and phase comparator 181 list.

[0086] Furthermore, the gestalt of other operations is explained using drawing 10. The gestalt of this operation shows the example of the clock signal generator for record in connection with claim 8 of this invention.

[0087] A phase shifter 19 is replaced with the clock signal SCK which carried out phase simulation to the extract wobble signal SWB outputted from VCO183 of the PLL circuit 18 (1st PLL circuit) in drawing 3 in drawing 10. The phase of the output signal from the counting-down circuit 184 which carries out dividing of the clock signal SCK in the PLL circuit 18 concerned, and generates the pulse signal of the same frequency as an extract wobble signal Phase adjustment signal SCNT supplied from the phase comparator circuit 16 A phase shift is responded and carried out and it is the adjustment wobble signal STWB. It generates and is this adjustment wobble signal STWB. It outputs to the 2nd PLL circuit 22. And the 2nd PLL circuit 22 is the adjustment wobble signal STWB supplied from a phase shifter 19. Clock signal SCR for record which carried out phase simulation is generated, and it outputs to encoder 6 list in the power control circuit 5. In addition, since other configurations in drawing 10 are the same as the configuration shown in drawing 3, the explanation is omitted.

[0088] According to the configuration shown in drawing 10, the amount of phase shifts of a phase shifter 19 has the advantage that it can do small compared with the amount of phase shifts of the phase shifter 19 in the configuration of drawing 3. That is, the phase shifter shown in drawing 3 is the phase adjustment signal SCNT which is the phase contrast of the extract wobble signal SWB and the PURIPITTO detecting signal SPD about the clock signal SCK which becomes one 186 times ($1488T/8$) the frequency of this compared with the frequency of the extract wobble signal SWB. Since it is the configuration which responds and carries out a phase shift, the amount of phase shifts is required 360 degrees or more. For example, that the phase of an extract wobble signal and a PURIPITTO detecting signal shifted from predetermined phase relation twice ($1/180$ wave of an extract wobble signal) must also carry out the phase shift of the clock signal 1.03 waves (1.03×360 degrees), i.e., no less than 372 degrees.

[0089] On the other hand, it is the phase adjustment signal SCNT about the output signal of a wobble signal cycle with which a phase shifter 19 is given from the counting-down circuit 184 of the PLL circuit 18 according to the configuration of drawing 10. Since it is the configuration which responds and carries out a phase shift, when the phase of the extract wobble signal SWB and the PURIPITTO detecting signal SPD shifts twice, for example like the above, the amount of phase shifts in a phase shifter 19 is also 2 times.

[0090] Thus, the configuration shown in drawing 10 turns into a more realistic configuration at the time of realizing this invention. In addition, in drawing 10, the generating means of a clock signal is the 1st PLL circuit 18 which becomes a phase comparator 181, LPF182 and VCO183, and a list from dividing term 184, and it comes to consist of phase adjustment means a phase shifter 19 and the 2nd PLL circuit 22 which becomes a list from a phase comparator 221, LPF222 and VCO223, and dividing term 224.

[0091] If it is **** shown in drawing 3 thru/or drawing 10 mentioned above, and the configuration of performing phase adjustment of the clock signal for record based on the phase adjustment signal acquired by the phase comparison of the signal and PURIPITTO detecting signal which bear the topology of an extract wobble signal, even if it is which configuration, the effectiveness that the clock for record which follows rotation of a disk in a high precision is generable is expectable.

[0092] By the way, three PURIPITTO exists at the maximum per 1 sink frame as it is shown in drawing 2. That is, since PURIPITTO does not exist in the remaining periods of 1 sink frame, compensation actuation by PURIPITTO mentioned above is not performed. Therefore, since the jitter of a wobble signal cannot be compensated until PURIPITTO is detected next even if it compensates the jitter of the wobble signal by the cross talk from an adjoining track by a certain PURIPITTO, when a jitter occurs at the period when PURIPITTO does not exist, the phase of the clock signal for record and the rotation phase of a disk will shift.

[0093] Then, as shown in drawing 11, it is good also as a configuration to which the flattery engine performance of a PLL circuit of making the clock signal for record generate in the period when PURIPITTO exists, and the period not existing is changed.

[0094] The monostable multivibrator 23 which generates the pulse signal of predetermined time width of face according to the PURIPITTO detecting signal SPD outputted to drawing 11 from the PURIPITTO signal detector 13 in drawing 10 (MMV). In the same band as LPF222 in the 2nd PLL circuit 22 shown in drawing 10, or LPF242 which has a wide band rather than LPF222, LPF243 which has a narrow band (band through which the frequency component near the dc component may pass) as compared with LPF222, The PLL circuit 24 newly equipped with the circuit changing switch 244 which switches alternatively LPF (that is, any 1 LPF of LPF242 or LPF243) to be used according to the output state of the above MMV23 is indicated. A circuit changing switch 245 is a band limit means [in / to the above MMV23 and LPF242 and LPF243 list / claim 10].

[0095] In addition, the above MMV23 is the so-called retriggerable multivibrator which outputs the pulse signal of predetermined time width of face continuously from the time of this PURIPITTO detecting signal coming, when a new PURIPITTO detecting signal comes while generating the pulse signal of the above-mentioned predetermined time width of face. Therefore, when the above-mentioned predetermined time amount width of face is set as the time amount (for example, 8 microseconds) which serves as size more slightly than the period (about 7.2 microseconds) of for example, an extract wobble signal, the pulse signal for about 22.4 microseconds (7.2microsecond+7.2microsecond+8microsecond) will be supplied from MMV23 at the maximum per 1 sink frame.

[0096] As for the period when this pulse signal is supplied, a circuit changing switch 244 chooses LPF242 alternatively, and raises the flattery engine performance of the PLL circuit 24 to the amended extract wobble signal which is supplied from a phase shifter 19.

[0097] The flattery engine performance of the PLL circuit 24 to the extract wobble signal with which a circuit changing switch 244 chooses LPF243 alternatively, and the period when the above-mentioned pulse signal is not supplied, i.e., the period when PURIPITTO is not detected, is outputted from a phase shifter 19 on the other hand is made to fall.

[0098] Since amendment according [the extract wobble signal with which the period when the above-mentioned pulse signal is not supplied is outputted from a phase shifter 19] to PURIPITTO is not performed, the phase fluctuation component of a high region by the cross talk may be contained. Then, it is lost by making the flattery engine performance of the PLL circuit 24 in this period fall that flattery to the phase fluctuation component by the cross talk which is not desirable is performed.

[0099] In addition, in the period when PURIPITTO does not exist, it can shift to drawing-in actuation of the PLL circuit 24 in the period which exists following PURIPITTO quickly by returning the dc component by LPF243.

[0100] Moreover, although considered as the configuration which switches LPF242 and LPF243 according to a PURIPITTO detecting signal in drawing 11, a sample hold circuit is established in the latter part of LPF242, and the same effectiveness is acquired even if it makes it the configuration which performs motion control of a sample/hold based on a PURIPITTO detecting signal.

[0101] In addition, in the operation gestalt shown in drawing 3 thru/or drawing 11, although the example which adopted DVD-R in which PURIPITTO was formed between the groove trucks by which wobbling was carried out as a record medium (land truck) was explained, it is possible to apply the invention in this application also to the record medium with which PURIPITTO was formed on the groove truck which is a truck for data logging.

[0102]

[Effect of the Invention] As explained above, in the clock signal generator of the invention in this application, the phase of the signal which bears the phase of the extracted wobble signal, and the detected PURIPITTO signal is compared, a phase contrast signal is outputted, and the phase of a clock signal was adjusted based on the phase contrast signal concerned. That is, since the fluctuation on the time-axis of the clock signal generated based on the wobble signal which cannot disregard effect of a cross talk is amended using PURIPITTO which is not influenced of a cross talk, it becomes possible to generate the clock signal for record which synchronized with rotation of a disk in a high precision.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293926

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶
G 1 1 B 7/00
19/06 5 0 1
20/14 3 5 1

F I
G 1 1 B 7/00 T
19/06 5 0 1 C
20/14 3 5 1 A

審査請求 未請求 請求項の数 9 F D (全 16 頁)

(21) 出願番号 特願平10-39657

(22) 出願日 平成10年(1998)2月5日

(31) 優先権主張番号 特願平9-54161

(32) 優先日 平9(1997)2月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 黒田 和男

埼玉県所沢市花園4丁目2610番地 バイオ
ニア株式会社所沢工場内

(72) 発明者 鈴木 敏雄

埼玉県所沢市花園4丁目2610番地 バイオ
ニア株式会社所沢工場内

(72) 発明者 吉田 昌義

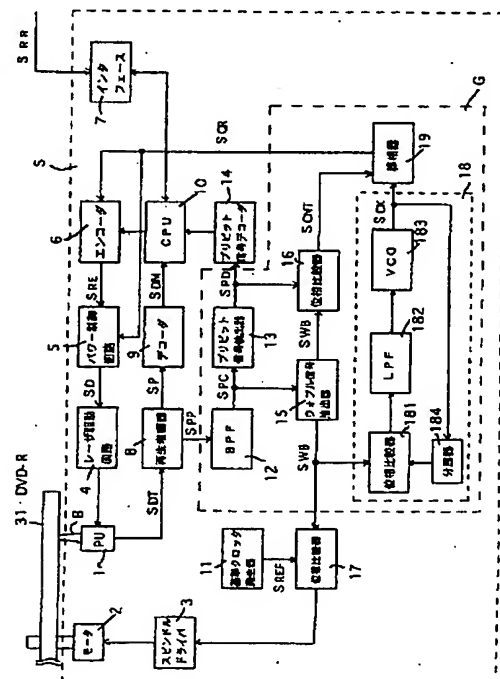
埼玉県所沢市花園4丁目2610番地 バイオ
ニア株式会社所沢工場内

(54) 【発明の名称】 記録用クロック信号発生装置

(57) 【要約】 (修正有)

【課題】 記録用クロック信号生成のためウォブリングしたグルーブトラックからウォブル信号の抽出時、隣接グルーブトラックのウォブル信号によるクロストークの影響がある場合でも、ディスク回転に正確に同期したクロック信号発生装置。

【解決手段】 所定の周波数成分のウォブル信号でウォブリングしたデータ記録用トラックを有し、当該ウォブル信号とは所定の位相関係を有するプリピットを形成した光ディスクに、ウォブル信号に位相同期した記録用クロック信号に基づくデータ記録装置Sの記録用クロック信号発生装置であり、ウォブル信号抽出手段15と、当該抽出ウォブル信号に位相同期した記録用クロック信号の発生手段と、プリピット検出信号を発生するプリピット検出手段13と、抽出したウォブル信号の位相とプリピット検出信号との位相を比較し位相調整信号を出力する位相調整信号生成手段16と、記録用クロック信号の位相調整手段と19を備える。



【特許請求の範囲】

【請求項 1】 所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクに、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置における記録用クロック信号発生装置であって、
前記ウォブル信号を抽出するウォブル信号抽出手段と、
当該抽出されたウォブル信号に位相同期した前記記録用クロック信号を発生する発生手段と、
前記プリピットを検出してプリピット検出信号を発生するプリピット検出手段と、
前記抽出されたウォブル信号の位相と前記プリピット検出信号との位相を比較して位相調整信号を出力する位相調整信号生成手段と、
前記位相調整信号に基づいて前記記録用クロック信号の位相を調整する位相調整手段と、
を備えた記録用クロック信号発生装置。

【請求項 2】 前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなることを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 3】 前記位相調整手段は、前記ウォブル信号の位相を移相する移相手段からなることを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 4】 前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた PLL 回路であって、
前記位相調整手段は、前記 PLL 回路において前記位相比較手段と前記発振回路との間に配されて前記位相差信号と前記位相調整信号とを加算せしめる加算手段であることを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 5】 前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた PLL 回路であると共に、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなり、
前記位相調整信号生成手段は、前記移相手段から出力される前記抽出されたウォブル信号の位相を担う信号と前記プリピット検出信号との位相を比較する位相比較手段からなることを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 6】 前記発生手段は、前記記録用クロック信号と基準クロック信号との位相を比較して第 1 の位相

差信号を生成する第 1 の位相比較手段と、当該第 1 の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた PLL 回路であって、

前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相されたウォブル信号の位相と前記基準クロック信号の位相とを比較して第 2 の位相差信号を出力する第 2 の位相比較手段と、前記 PLL 回路において、前記第 1 の位相比較手段と前記発振回路との間に配されて、前記第 1 の位相差信号と前記第 2 の位相差信号とを加算せしめる加算手段とを備えたことを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 7】 前記発生手段は、制御電圧信号に応じて前記記録用クロック信号の発振周波数を変化せしめる電圧制御型発振回路であって、
前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相手段から出力される信号と前記記録用クロック信号との位相差に基づいた前記制御電圧信号を生成する制御電圧信号生成手段とを備えたことを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 8】 前記発生手段は、前記記録用クロック信号を分周せしめて前記ウォブル信号周期の信号を生成する分周器と、当該ウォブル信号周期の信号と前記抽出されたウォブル信号とを位相比較して第 1 の位相差信号を生成する第 1 の位相比較手段と、かかる第 1 の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた第 1 の PLL 回路であって、
前記位相調整手段は、前記分周器から出力されたウォブル信号周期の信号を前記位相調整信号に応じて移相する移相手段と、かかる移相手段から出力される前記ウォブル信号周期の信号に前記記録用クロック信号を位相同期せしめる第 2 の PLL 回路とを備えたことを特徴とする請求項 1 に記載の記録用クロック信号発生装置。

【請求項 9】 前記第 2 の PLL 回路は、少なくともプリピット検出信号の存在する期間と存在しない期間とで動作帯域を変化せしめる帯域制限手段を備えたことを特徴とする請求項 8 に記載の記録用クロック信号発生装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本願発明は、記録可能な光ディスクに、記録用クロック信号を用いてデータを記録するデータ記録装置において、当該記録用クロック信号を生成する記録用クロック信号発生装置に関する。

【0002】

【従来の技術】 一回のみ記録可能な追記型光ディスクとして CD-R (Compact Disc-Recordable) が公知である。

【0003】 CD-R には、ディスク上のトラックの位

置情報等のプリ情報で所定の周波数（22.05kHz）を有する搬送波をFM変調したウォブル信号に応じて、ディスク半径方向に僅かに揺動（ウォブリング）されたグルーブトラック（データ記録トラック）が存在する。

【0004】かかるグルーブトラックからウォブル信号を抽出するには、照射した光ビームのグルーブトラックからの反射光を、グルーブトラックの接線方向と光学的に平行な分割線で2分割されたフォトディテクタで受光し、各ディテクタからの出力の差分を取り、かかる差分信号を上記所定の周波数を中心周波数とするBPF（Band Pass Filter）に供給することによってなされる。

【0005】CD-Rは、BPFを介して抽出されたウォブル信号の平均周波数が、上記所定の周波数となるように回転制御される。この際、抽出されたウォブル信号（以下、抽出ウォブル信号と称する。）は、記録用クロック信号を生成するための基準信号としても利用される。つまり、抽出ウォブル信号は、ディスクの回転に同期した周波数成分を有する連続信号であり、かかる連続信号に位相同期したクロック信号を生成することによって、ディスクの回転に正確に同期した記録用のクロック信号を生成するのである。

【0006】

【発明が解決しようとする課題】ところで、最近従来のCD-Rに対して約7倍に記録容量を向上させた情報記録媒体として、いわゆるDVD-R（Digital Versatile Disc - Recordable）についての研究開発が盛んに行われている。

【0007】DVD-Rは、高密度記録するために、隣接するトラック間のピッチがCD-Rの略半分とされている。このため、光ビームを照射したグルーブトラックに隣接するグルーブトラックからの漏れ込み、いわゆるクロストークが無視できなくなる。隣接する左右のグルーブトラックからのクロストークがあると、抽出ウォブル信号は、隣接するグルーブトラックのウォブル信号成分による干渉を受けることになり、その振幅や位相が変動してしまう。特に位相の変動、すなわちジッタを伴うことにより、上記クロストークの影響を受けた抽出ウォブル信号からは、ディスクの回転に正確に同期したクロック信号を生成できなくなるという問題がある。

【0008】すなわち、クロストーク等により、回転制御信号（基準信号と抽出ウォブル信号との位相差）に変動が発生した場合、かかる回転制御信号にตอบสนองして回転制御が制定するまでに要する時間と、クロック信号を生成するPLL回路が制定するまでに要する時間とが異なる（通常はディスクの慣性により回転制御の応答はPLL回路の応答に比べてはるかに遅い）ため、クロック信号の位相とディスクの回転位相とがその間ずれてしまうのである。このようなずれが生じると、本来記録すべき位置に記録すべきデータパターンを記録形成できなく

なる。

【0009】本願発明は、上記問題に鑑みてなされたもので、その目的は、隣接するグルーブトラックからのクロストークが存在する場合であっても、ディスクの回転に正確に同期した記録用クロック信号を生成し得るクロック信号発生回路を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の発明の記録用クロック信号発生装置は、所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクに、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置における記録用クロック信号発生装置であって、前記ウォブル信号を抽出するウォブル信号抽出手段と、当該抽出されたウォブル信号に位相同期した前記記録用クロック信号を発生する発生手段と、前記プリピットを検出してプリピット検出信号を発生するプリピット検出手段と、前記抽出されたウォブル信号の位相と前記プリピット検出信号との位相を比較して位相調整信号を出力する位相調整信号生成手段と、前記位相調整信号に基づいて前記記録用クロック信号の位相を調整する位相調整手段と、を備えて構成される。

【0011】請求項2に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなる。

【0012】請求項3に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記位相調整手段は、抽出された前記ウォブル信号の位相を移相する移相手段からなる。

【0013】請求項4に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、前記位相調整手段は、前記PLL回路において前記位相比較手段と前記発振回路との間に配されて前記位相差信号と前記位相調整信号とを加算せしめる加算手段からなる。

【0014】請求項5に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であると共に、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなり、前記位相調整信号生成手段は、前記移相手段から出力される前記抽出され

たウォブル信号の位相を担う信号と前記プリピット検出信号との位相を比較する位相比較手段からなる。

【0015】請求項6に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と基準クロック信号との位相を比較して第1の位相差信号を生成する第1の位相比較手段と、当該第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相されたウォブル信号の位相と前記基準クロック信号の位相とを比較して第2の位相差信号を出力する第2の位相比較手段と、前記PLL回路において、前記第1の位相比較手段と前記発振回路との間に配されて、前記第1の位相差信号と前記第2の位相差信号とを加算せしめる加算手段とを備えてなる。

【0016】請求項7に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、制御電圧信号に応じて前記記録用クロック信号の発振周波数を変化せしめる電圧制御型発振回路であって、前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相手段から出力される信号と前記記録用クロック信号との位相差に基づいた前記制御電圧信号を生成する制御電圧信号生成手段とを備えてなる。

【0017】請求項8に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号を分周せしめて前記ウォブル信号周期の信号を生成する分周器と、当該ウォブル信号周期の信号と前記抽出されたウォブル信号とを位相比較して第1の位相差信号を生成する第1の位相比較手段と、かかる第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた第1のPLL回路であって、前記位相調整手段は、前記分周器から出力されたウォブル信号周期の信号を前記位相調整信号に応じて移相する移相手段と、かかる移相手段から出力される前記ウォブル信号周期の信号に前記記録用クロック信号を位相同期せしめる第2のPLL回路とを備えてなる。

【0018】請求項9に記載の発明は、請求項8に記載の記録用クロック信号発生装置であって、前記第2のPLL回路は、少なくともプリピット検出信号の存在する期間と存在しない期間とで動作帯域を変化せしめる帯域制限手段を備えてなる。

【0019】

【作用】本願発明における記録用クロック信号発生装置によれば、所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクであるDVD-Rに、データ

を記録するタイミング情報を担う、ウォブル信号に位相同期した記録用クロック信号を出力するにあたって、当該DVD-Rのグルーブトラックから抽出したウォブル信号に応じた信号と、データ記録用トラックであるグルーブトラックと隣接するグルーブトラックの間の領域（以下、ランドトラックと称する。）から検出したプリピット信号との位相差信号に基づいてクロック信号の位相を調整する。

【0020】ここで、プリピット信号はウォブル信号と所定の位相関係をもって記録されている。更に、プリピット信号は、隣接するランドトラック位置には存在しないため、かかるプリピット信号はクロストークの影響を受けることなく検出される。

【0021】したがって、隣接するグルーブトラックのウォブル信号によるクロストークによって、所望のグルーブトラックにおける抽出ウォブル信号の時間軸が変動した場合でもプリピットによって正確なタイミング情報を担う記録用クロック信号に補正することができる。

【0022】

【実施の形態】次に本願発明に好適な実施の形態について図面を用いて説明する。始めに、プリ情報に対応したプリピットを形成すると共に、後述のグルーブトラックを所定の周波数でウォブリングさせた光ディスクとしてのDVD-Rについて図1及び図2を用いて説明する。

【0023】まず、図1を用いてDVD-Rの構造について説明する。図1において、DVD-R31はデータ記録層としての色素膜35を備えた1回のみ情報データの書き込みが可能な色素型DVD-Rであり、データ記録用トラックとしてのグルーブトラック32と当該グルーブトラック32に再生光又は記録光としてのレーザビーム等の光ビームBを誘導するためのガイド用トラックとしてのランドトラック33が形成されている。また、それらを保護するための保護膜37及び記録されたデータを再生する際に光ビームBを反射するための金蒸着膜36を備えている。そして、このランドトラック33にプリ情報に対応するプリピット34が形成されている。このプリピット34はDVD-R31を出荷する前に予め形成されているものである。

【0024】更に、当該DVD-R31においては、グルーブトラック32をディスクの回転速度に対応する周波数でウォブリングさせている。このウォブリングされたグルーブトラック32は、上記プリピット34と同様に、DVD-R31を出荷する前に予め形成されるものである。

【0025】そして、DVD-R31に記録情報データ（プリ情報以外の本来記録すべき画像情報等の情報データをいう。以下同じ。）を記録する際には、後述のデータ記録装置においてこのグルーブトラック32のウォブリング周波数を抽出することによりDVD-R31を所定の回転速度で回転制御すると共に、プリピット34

を検出することにより予めプリ情報を取得し、それに基づいて記録光としての光ビームBの最適出力等が設定されると共に、記録情報データを記録すべきDVD-R31上の位置を示すアドレス情報等が取得され、このアドレス情報に基づいて記録情報データが対応する記録位置に記録される。

【0026】ここで、記録情報データの記録時には、光ビームBをその中心がグルーブトラック32の中心と一致するように照射してグルーブトラック32上に記録情報データに対応する記録情報ピットを形成することにより、記録情報データを記録する。この時、光スポットSPの大きさは、図1に示すように、その一部がグルーブトラック32だけではなくランドトラック33にも照射されるように設定される。

【0027】そして、このランドトラック33に照射された光スポットSPの一部の反射光を用いてプッシュプル法（グルーブトラック32の接線方向、すなわち、DVD-R31の回転方向に平行な分割線により分割された光検出器を用いたプッシュプル法（以下、ラジアルプッシュプル方式という。））により、プリピット34からプリ情報を検出して当該プリ情報が取得されると共にグルーブトラック32からウォブル信号を抽出してディスクの回転に同期した後述する記録用クロック信号が取得される。

【0028】次に、上記DVD-R31に予め記録されているプリ情報の記録フォーマットについて、図2を用いて説明する。なお、図2において、上段は記録情報データにおける記録フォーマットを示し、下段の波形は当該記録情報データを記録するグルーブトラック32のウォブリング状態（グルーブトラック32の平面図）を示し、記録情報データとグルーブトラック32のウォブリング状態の間の上向き矢印は、プリピット34が形成される位置を模式的に示すものである。ここで、図2においては、グルーブトラック32のウォブリング状態は、理解の容易のため実際の振幅よりも大きい振幅を用いて示している。なお、記録情報データは当該グルーブトラック32の中心線上に記録される。

【0029】図2に示すように、上記DVD-R31に記録される記録情報データは、予め情報単位としてのシンクフレーム毎に分割されている。そして、26のシンクフレームにより一のレコーディングセクタが形成され、更に、16のレコーディングセクタにより一のECC（Error Correcting Code）ブロックが形成される。なお、一のシンクフレームは、上記記録情報データを記録する際の記録フォーマットにより規定されるピット間隔に対応する単位長さ（以下、Tという。）の1488倍（1488T）の長さを有しており、更に、一のシンクフレームの先頭の14Tの長さの部分はシンクフレーム毎の同期をとるための同期情報SYとして用いられる。

【0030】一方、上記DVD-R31に記録されるプリ情報は、シンクフレーム毎に記録される。ここで、プリピット34によりDVD-R31にプリ情報が記録される場合は、記録情報における夫々のシンクフレームにおける同期情報SYが記録される領域に隣接するランドトラック33上に、プリ情報における同期信号を示すものとして必ず一のプリピット34が形成されると共に、当該同期情報SY以外の当該シンクフレーム内の前半部分に隣接するランドトラック33上に、記録すべきプリ情報の内容を示すものとして二又は一のプリピット34が形成される（なお、同期情報SY以外の当該シンクフレーム内の前半部分については、記録すべきプリ情報の内容によってはプリピット34が形成されない場合もある。）。

【0031】この際、一のレコーディングセクタにおいては、偶数番目のシンクフレーム（以下、EVENフレームという。）のみにプリピット34が形成されてプリ情報が記録される。すなわち、図2において、EVENフレームにプリピット34が形成された場合には（図2において実線上向き矢印で示す。）、それに隣接するODDフレームにはプリピット34は形成されない。一のEVENフレームとそれに続くODDフレームにおける上記各プリピット34（シンクフレームの先頭から夫々プリピットB0、B1及びB2とする。）の有無の関係は、当該一のEVENフレームがレコーディングセクタの先頭であるか否か、及び当該一のEVENフレームとそれに続くODDフレームに記録すべき情報の内容に対応して設定される。

【0032】より詳細には、EVENフレームにプリピットを形成する場合には、レコーディングセクタの先頭のシンクフレームにおいては、全てのプリピット34（プリピットB0、B1及びB2）が形成されており、レコーディングセクタの先頭以外のシンクフレームにおいては当該シンクフレームに記録すべきプリ情報が「1」のときにはプリピットB0及びB2のみが形成されており、記録記録すべきプリ情報が「0」のときにはプリピットB0及びB1が形成されている。また、ODDフレームにプリピットを形成する場合には、レコーディングセクタの先頭のシンクフレームにおいては、プリピットB0及びB1が形成されており、レコーディングセクタの先頭以外のシンクフレームにおいては上記EVENフレームの場合と同様である。

【0033】なお、プリピット34をEVENフレーム／ODDフレームのいずれのシンクフレームに形成するかは、隣接するランドトラック上に先行して形成されたプリピット34の位置に依存して決められる。すなわち、プリピット34は通常EVENフレームに形成されるが、当該EVENフレームにプリピット34を形成した場合に、先行して形成された隣接するランドトラック上のプリピット34とDVD-R31のディスクの径方

向において近接する時には、ODDフレームにプリビット34が形成されるのである。このように形成することにより、隣接するランドトラック位置にはプリビット34が存在しなくなるためプリビット34の検出に当たってはクロストークによる影響を低減できる。

【0034】一方、グルーブトラック32は、全てのシンクフレームに亘って140KHzの一定ウォプリング周波数 f_0 （一のシンクフレーム内に8波分のウォブル信号が入る周波数）でウォプリングされている。そして、後述のデータ記録装置において、この一定のウォプリング周波数 f_0 を抽出することで、スピンドルモータの回転制御のための信号が検出されると共に、記録用クロック信号が生成される。

【0035】なお、プリビット34とウォブル信号との位相関係を一定にするため、プリビットB0は、シンクフレームの開始位置からの所定位置（例えば7T分離れた位置）に形成され、プリビットB0から186T（1488T/8）分づつ離れてプリビットB1及びB2が形成される（プリビットの形成方法については特願平8年第310941号に詳細に説明されている。）。

【0036】記録用クロック信号発生装置の実施形態
次に、データ記録装置に含まれる本願発明に係る記録用クロック信号発生装置の第1の実施の形態について、図3乃至図5に基づいて説明する。なお、以下の説明では、ホストコンピュータから送信されてくる記録情報データを上記DVD-R31に対して記録するためのデータ記録装置について本発明を適用した実施の形態を説明するものである。

【0037】始めに、この実施形態に係る記録用クロック信号発生装置を含むデータ記録装置の全体構成及び動作について図3を用いて説明する。なお、以下の実施の形態では、DVD-R31において、当該DVD-R31上のアドレス情報等を含む上記プリビット34及びウォプリングするグルーブトラック32が予め形成されており、記録情報データの記録時には、当該プリビット34を予め検出することによりDVD-R31上のアドレス情報を得、これにより記録情報データを記録するDVD-R31上の記録位置を検出して記録するものとする。

【0038】図3に示すように、データ記録装置Sは、ピックアップ1と、スピンドルモータ2と、スピンドルドライバ3と、レーザ駆動回路4と、パワー制御回路5と、エンコーダ6と、再生増幅器8と、デコーダ9と、プロセッサ（CPU）10と、回転制御のための基準クロック信号を発生する基準クロック発生器11と、BPF（Band Pass Filter）12と、プリビット検出手段としてのプリビット信号検出器13と、プリビット信号デコーダ14と、ウォブル信号抽出手段としてのウォブル信号抽出器15と、位相調整信号生成手段としての位相比較器16と、回転制御信号を発生する位相比較器17

と、位相比較器181、LPF（Low Pass Filter）182、VCO（Voltage Controlled Oscillator）183からなる発生手段としてのPLL（Phase Locked Loop）回路18と、位相調整手段としての移相器19とから構成されている。

【0039】これらのうち、BPF12、プリビット信号検出器13、ウォブル信号抽出器15、位相比較器16、PLL回路18、移相器19が、本願発明における記録用クロック信号発生装置Gを構成する。また、当該データ記録装置には、外部のホストコンピュータから（図示せず）記録すべき情報データがインタフェース7を介して入力される。

【0040】次に、全体の動作を説明する。ピックアップ1は、図示しないレーザダイオード、偏光ビームスプリッタ、対物レンズ、光検出器等を含み、記録動作の際は、レーザ駆動回路4から供給される、記録情報データに基づいたレーザ駆動信号に応じて変化する出射パワーで光ビームBをDVD-R31の情報記録面に照射して記録情報データの記録を行うと共に、読取り動作の際は、一定の出射パワー（読取パワー）で光ビームBをDVD-R31に照射して、その反射光を光検出器で受光する様に動作する。

【0041】また、ピックアップ1は情報記録面に照射した光ビームのかかる情報記録面からの反射光を光検出器で受光し、これを電気信号に変換して、例えばラジアルブッシュアップ方式に基づく演算処理を施すことにより上記プリビット34及びグルーブトラック32のウォブル信号並びに記録情報データ等を担う検出信号SDTを生成し、再生増幅器8に出力する。

【0042】再生増幅器8は、ピックアップ1から出力されたプリビット34のプリビット信号及びグルーブトラック32のウォブル信号を担う検出信号SDTを増幅し、プリビット34のプリビット信号及びグルーブトラック32のウォブル信号を含むプリ情報信号Sppを記録用クロック信号発生装置GにおけるBPF12に出力すると共に、読取り動作の際には、既に記録されている記録情報データに対応する増幅信号Spをデコーダ9に出力する。

【0043】デコーダ9は、入力された増幅信号Spに対して8/16復調及びデインターリーブを施すことにより当該増幅信号Spをデコードして復調信号SDMを生成し、この復調信号SDMをCPU10に出力する。

【0044】一方、BPF12は、再生増幅器8から供給されたプリ情報信号Sppに含まれるノイズ成分を除去してウォブル信号の所定位置（例えば最大振幅位置）でプリビット信号が重畳された複合信号Spc（図5（a））をプリビット信号検出器13並びにウォブル信号抽出器15に出力する。

【0045】プリビット信号検出手段であるプリビット信号検出器13は、複合信号Spcを所定の基準値、例え

ば、図5(a)におけるウォブル信号の最大振幅値より大なるレベル V_{rp} と比較する図示しないコンパレータからなり、複合信号 S_{pc} の振幅レベルが上記基準値 V_{rp} よりも大となる期間、すなわち、プリビットの存在する期間、パルス信号であるプリビット検出信号 SPD をプリビット信号デコーダ14並びに位相比較器16に出力する。

【0046】プリビット信号デコーダ14は、供給されたプリビット検出信号 SPD から、DVD-R31上のアドレス情報を含むプリ情報を復号して、CPU10に出力する。

【0047】一方、ウォブル信号抽出手段であるウォブル信号抽出器15は、複合信号 S_{pc} を所定の基準値、例えば図5(a)におけるウォブル信号のPP(Peak to Peak)値の中間レベル V_{r0} と比較する図示しないコンパレータを備え、複合信号 S_{pc} の振幅レベルを上記基準値 V_{r0} よりも大となる期間H(High)レベルとなるパルス信号(図5(b))を、抽出ウォブル信号 SWB として、位相比較器16、17及び記録用クロック信号発生手段であるPLL回路18に出力する。

【0048】PLL回路18は、位相比較器181、LPF182、VCO183並びに分周器184からなり、入力された抽出ウォブル信号 SWB の位相に同期したクロック信号 SCK を移相器19に出力する。

【0049】一方、位相調整信号生成手段である位相比較器16は、後述する作用によってプリビット検出信号 SPD と抽出ウォブル信号 SWB との位相比較を行い、かかるプリビット検出信号と抽出ウォブル信号とが有する所定の位相関係からのずれを示す位相調整信号 $SCNT$ を移相器19に出力する。

【0050】位相調整手段である移相器19は、後述する方法で、PLL回路18から供給されるクロック信号 SCK の位相を位相調整信号 $SCNT$ に基づいて位相調整し、記録用クロック信号 SCR としてエンコーダ6並びにパワー制御回路5に出力する。

【0051】一方、位相比較器17は、入力された抽出ウォブル信号 SWB と基準クロック発生器11から供給されるDVD-R31の回転速度の基準周波数成分を担う基準クロック信号 S_{REF} との位相比較を行い、その差信号を回転制御信号としてスピンドルドライバ3を介してスピンドルモータ2に供給する。これによりスピンドルサーボが構成されDVD-R31は、所定の回転数で回転せしめられる。

【0052】一方、インタフェース7は、CPU10の制御の下、図示しないホストコンピュータから送信されてくる記録情報データ S_{RR} に対して、これをデータ記録装置に取り込むためのインタフェース動作を行い、当該記録情報データをCPU10を介してエンコーダ6に出力する。

【0053】エンコーダ6は、移相器19から供給され

る記録用クロック信号 SCR をタイミング信号として、ECC処理、8/16変調処理並びにスクランブル処理を施し、変調信号 S_{RE} を生成してパワー制御回路5に出力する。

【0054】パワー制御回路5は、ディスク上に形成される記録ピットの形状を良好にするべく、クロック信号発生装置Gから出力される記録用クロック信号 SCR に基づいて、変調信号 S_{RE} の波形変換(いわゆる、ライトストラテジ処理)を行い、記録信号 SD としてレーザ駆動回路4に出力する。

【0055】レーザ駆動回路4は、ピックアップ1における図示しないレーザダイオードを実際に駆動して、供給された記録信号 SD に応じた出射パワーで光ビームBを出射せしめるためのレーザ駆動信号を出力する。

【0056】CPU10は、記録動作の際は、プリビット信号デコーダ14から供給されるプリ情報からアドレス情報を取得し、当該アドレス情報に対応するDVD-R31上の位置に記録情報データを記録する様にデータ記録装置全体を制御する。また再生動作の際は、CPU10は、復調信号 S_{DM} からディスク31に記録されている記録情報データを取得し、かかる記録情報データを外部のホストコンピュータに出力する様に、データ記録装置全体を制御する。

【0057】次に、本願発明に係る記録用クロック信号発生装置Gにおける位相調整信号生成手段である位相比較器16並びに位相調整手段である移相器19のより具体的な構成について図4及び図5を用いて説明する。

【0058】位相比較器16は、抽出ウォブル信号 SWB のHレベルの間所定の傾斜角度を有する三角波信号を発生する三角波発生回路163と、プリビット検出信号 SPD の検出タイミングにおける当該発生された三角波信号の振幅レベルを保持するサンプルホールド回路164とを含んで構成される。

【0059】三角波発生回路163は、一端が接地されたキャパシタ45と、当該キャパシタ45の他方の一端に接続され当該キャパシタ45に一定電流を供給する定電流源46と、一端が接地されると共に他方の一端が上記キャパシタ45と定電流源46との接続点aに接続されたスイッチ47とからなる。また、スイッチ47は、バッファ161を介して供給される抽出ウォブル信号 SWB に応じて、当該抽出ウォブル信号 SWB がHレベルの間は開状態とされると共に、抽出ウォブル信号 SWB がL(Low)レベルの間は閉状態とされる。

【0060】以上の構成により、三角波信号の発生が行われる。すなわち、抽出ウォブル信号 SWB がHレベルとなり、スイッチ47が開状態とされると、定電流源46からキャパシタ45に供給される一定の充電電流によって、キャパシタ45の静電容量に応じた傾斜角度で接続点aにおける端子電圧、つまり、キャパシタ45の充電電圧が上昇する(図5(d)のT1)。

【0061】一方、抽出ウォブル信号SWBがLレベルとなり、スイッチ47が閉状態とされると、キャパシタ45の充電電圧はスイッチ47を介して一気に放電され、接続点aは接地電圧となる(図5(d)のT2)。この間、定電流源46から供給される充電電流もスイッチ47を通じてキャパシタ45をバイパスされる。そして、再度スイッチ47が開状態とされると、キャパシタ45への充電電流の供給が再開されキャパシタ45の端子電圧は、接地電圧から時間と共に一定の傾斜で上昇する(図5(d)のT3)。このように、三角波発生回路163は、抽出ウォブル信号SWBのHレベルの期間、振幅レベルが一定の割合で変化する三角波信号を発生し、かかる三角波信号をバッファ162を介してサンプルホールド回路164に出力する。

【0062】サンプルホールド回路164は、バッファ162を介して供給される三角波信号をプリピット検出信号SPDに応じてキャパシタ49に中継するスイッチ48と、中継された三角波信号の電圧レベルを保持するキャパシタ49とから構成される。

【0063】スイッチ48は、プリピット検出信号SPDがHレベルの期間、閉状態となって三角波信号をキャパシタ49に供給すると共に、プリピット検出信号SPDがLレベルの期間は開状態となって三角波信号のキャパシタ49への供給を断とする。

【0064】したがって、キャパシタ49は、プリピット検出信号SPDのHレベルの期間に供給された三角波信号の振幅レベルに応じた充電電圧を次のプリピット検出信号SPDのHレベル期間が到来するまでの間保持することになる。このキャパシタ49の保持する充電電圧が位相調整信号SCNTとしてバッファ165を介して移相器19に供給される。

【0065】以上の通り、位相比較器16は、抽出ウォブル信号SWBのHレベル/Lレベルの間の遷移状態に応じてキャパシタ45を充放電することによって所定の傾斜角度を有する三角波信号を発生し、当該三角波信号の振幅レベルをプリピット検出信号SPDの検出タイミングでサンプルホールドする。

【0066】DVD-R31におけるウォブル信号を担うグループとプリピット信号を担うプリピットは図2に示される通り所定の位相関係を持って記録されている。したがって、ウォブル信号抽出器15から出力される抽出ウォブル信号SWBとプリピット信号検出器13から出力されるプリピット検出信号SPDの位相が当該所定の位相関係にあるならば、サンプルホールドされた信号レベルは、常に所定の電圧レベルである(例えば、図5(d)における三角波信号の中間振幅レベルVMとなる)。

【0067】しかしながら、クロストークの影響により、隣接するグルーブトラックからのウォブル信号成分の漏れ込みがあると、かかるウォブル信号成分との干渉

によって、当該グルーブトラックからの抽出ウォブル信号SWBに時間軸上での変動が生じることになる。一方、上記の通り、プリピット信号はDVD-R31の径方向には近接して形成されることはないため、隣接するランドトラックからのクロストークの影響は受けないから、複合信号SPCから検出されるプリピット検出信号SPDはクロストークに基づく時間軸上での変動を伴わない正確なタイミング信号と見なすことができる。

【0068】したがって、かかるプリピット検出信号SPDによって抽出ウォブル信号SWBから生成した三角波信号をサンプルホールドすることにより、上記所定の位相関係からの偏倚量を知ることが可能となる。つまり、位相比較器16は、抽出ウォブル信号SWBとプリピット検出信号SPDとの位相差(クロストークによって生じた抽出ウォブル信号の時間軸エラー)に応じた電圧信号(この例では中間振幅レベルVMを中心とした振幅レベル)を出力するように動作する。かかる位相差信号が位相調整信号SCNTとして移相器19に供給されるのである。

【0069】一方、移相器19は、PLL回路18から出力されたクロック信号SCKがキャパシタ195を介してベース端子Bに供給されるトランジスタ191と、アノードが当該トランジスタ191のコレクタ端子Cに接続されると共にカソードがキャパシタ196を介して接続点bにおいて抵抗器193に接続される可変容量ダイオード192と、一端が当該トランジスタ191のエミッタ端子Eに接続されると共に他方の一端が接続点bに接続される抵抗器193とを備える。

【0070】また、位相比較器16から供給される位相調整信号SCNTは抵抗器194を介して可変容量ダイオード192のカソードに接続される。そして、接続点bから記録用クロック信号SCRがバッファ196を介して出力される構成となっている。なお、複数の抵抗器197はトランジスタ191のバイアス抵抗である。

【0071】以上の構成により、PLL回路18から供給されるクロック信号SCKが、移相器19に入力され、かかるクロック信号SCKの位相がサンプルホールド回路164から供給される位相調整信号SCNTに応じて移相される。すなわち、トランジスタ191のベース端子Bに供給されたクロック信号SCKは、コレクタ端子Cから入力クロック信号SCKに対して180度位相反転された反転信号として出力されると共に、エミッタ端子Eからは入力クロック信号とは同相信号として出力される。この際、可変容量ダイオード192並びにキャパシタ196の静電容量に基づくリアクタンス値が抵抗器193の抵抗値に比べ充分小ならば、接続点bからの出力信号、すなわち移相器19から出力される記録用クロック信号SCRは、入力クロック信号SCKに対して略180度移相されることになる。

【0072】逆に、リアクタンス値が抵抗値よりも充分

大ならば、入力クロック信号SCKと記録用クロック信号SCRは、同相のままである。このように、移相量は可変容量ダイオード192、キャパシタ196並びに抵抗器193によるインピーダンスに応じて変化する。なお、180度以上の移相量を必要とする場合には、移相器19を縦続に接続し多段構成とすればよい。

【0073】この実施形態では、位相比較器16から出力される位相差信号を位相調整信号SCNTとして可変容量ダイオード192に供給し、かかる位相調整信号SCNTによって可変容量ダイオード192の端子電圧を変化せしめることにより可変容量ダイオードのリアクタンス値を変化せしめ、クロック信号SCKの移相量を変化させて記録用クロック信号SCRを得ている。つまり、移相調整信号SCNTの信号レベルが、抽出ウォブル信号とプリピット検出信号との位相関係が所定の位相関係であることを示す上記VMからどれくらい偏倚しているのかに応じて、かかる偏倚量を相殺する方向にクロック信号SCKの移相量を調整し、かかる調整の施されたクロック信号を記録用クロック信号としてエンコーダ6、並びにパワー制御回路5に出力するのである。

【0074】このように、クロストークの影響を無視できないウォブル信号に基づいて生成されるクロック信号の時間軸上の変動を、クロストークの影響を受けないプリピットを用いて補正するので、ディスクの回転に高い精度で同期した記録用クロック信号を生成することが可能となる。

【0075】記録用クロック信号発生装置の他の実施の形態

次に、クロック信号発生装置の第2の実施の形態を図6を用いて説明する。この実施の形態は本発明の請求項4に関わる記録用クロック信号発生装置の具体例を示すものである。この実施の形態においては図3に示した移相器19並びにPLL回路18に代えて、PLL回路20を備えてなる。PLL回路20は、クロック信号SCKを出力するVCO203と、かかるクロック信号SCKを分周してウォブル信号と同じ周波数とする分周器204と、抽出ウォブル信号SWBと分周器204で分周した信号との位相差信号を出力する位相比較手段である位相比較器201と、かかる位相比較器201から出力される位相差信号と位相比較器16から出力される位相調整信号SCNTとを加算する位相調整手段である加算器205と、かかる加算器205から出力される加算信号の低域成分を抽出してVCO203の制御電圧とするLPF202とからなる。そして、VCO203から出力されるクロック信号SCKが記録用クロック信号SCRとしてエンコーダ6並びにパワー制御回路5へ供給される。

【0076】かかる構成によれば、位相比較器201から供給される抽出ウォブル信号SWBの有する隣接するグルーブトラックからのクロストークによる時間軸変動分が、位相調整信号SCNTを加算することによって相殺さ

れるので、VCO203からは、ディスクの回転に高い精度で同期した記録用クロック信号SCRが発生することになる。なお、他の構成は図3に示した構成と同じであるのでその説明は省略する。

【0077】更に第3の実施の形態を図7を用いて説明する。この実施の形態は、本発明の請求項5に関わる記録用クロック信号発生装置の具体例を示すものである。この実施の形態においては、図3における位相比較器16に供給される信号を、抽出ウォブル信号SWBに代えて位相調整手段である移相器19から出力される記録用クロック信号SCRを分周器21で分周した信号（周波数はウォブル信号と同じである。）とする様に構成される。そして、この分周した信号とプリピット検出信号SPDとを位相比較した結果として得られる位相差信号を位相調整信号SCNTとして移相器19に帰還するのである。

【0078】かかる構成によっても、上記第1の実施形態と同様にウォブル信号とプリピット信号との位相関係のずれをプリピット信号の検出タイミングで補正できるので、ディスクの回転に高い精度で同期した記録用クロック信号SCRを生成することが可能となる。また、他の構成は図3に示した構成と同じであるのでその説明は省略する。

【0079】更に、本願発明は図8に示す構成によっても実現することができる。この実施の形態は本発明の請求項6に関わる記録用クロック信号発生装置の具体例を示すものである。

【0080】図8では、移相器19は、図3におけるクロック信号SCKに代えて、ウォブル信号抽出器15から供給される抽出ウォブル信号SWBを、位相比較器16から供給される位相調整信号SCNTに応じて移相するように構成される。更に、この移相器19の出力信号と基準クロック発生器11が発生する基準クロック信号SREFとが第2の位相比較手段である位相比較器17で位相比較され、その位相差信号はスピンドルドライバ3を介してスピンドルモータ2に供給されてDVD-R31の回転制御が成される。一方、位相比較器17から出力される位相差信号は、クロック信号の発生手段であるPLL回路20における加算器205にも供給されて、第1の位相比較手段である位相比較器201から供給される、基準クロック信号SREFとクロック信号SCKとの位相差信号（第1の位相差信号）に加算される。

【0081】加算器205から出力される加算信号に基づいてVCO203の発振周波数、すなわち、クロック信号SCKの発振周波数が制御される。そして、VCO203から出力されるクロック信号SCKが記録用クロック信号SCRとしてエンコーダ6並びにパワー制御回路5に供給される。

【0082】つまり、図8に示す構成によれば、プリピット検出信号と抽出ウォブル信号との位相差、すなわち、位相調整信号SCNTで移相器19において直接移相

されるのは、抽出ウォブル信号SWBであり、この移相せしめられたウォブル信号に基づいてディスクの回転制御を行うと共に記録用クロック信号SCRを生成するのである。なお、図8においては、移相器19、位相比較器17、基準クロック発生器11並びに加算器205によって位相調整手段が構成される。

【0083】このように、図8に示す構成によれば、移相器19で移相された抽出ウォブル信号SWBに基づいて、ディスクの回転制御並びに記録用クロック信号SCRの生成がなされるので、ディスクの回転に高い精度で同期した記録用クロック信号SCRを生成することが可能となる。

【0084】さらに、図8に示す構成は、図9に示すように変形することも可能である。すなわち、移相器19から出力される、プリピット検出信号SPDで位相調整されたウォブル信号を、位相比較器17に供給すると共に図3に示すPLL回路18の位相比較器181にも供給する構成としても、図8と同様にディスクの回転に高い精度で同期した記録用クロック信号SCRを生成することが可能となる。図9に示す構成によればPLL回路に加算器が不要となる利点がある。

【0085】なお、図9に示す構成は、本発明の請求項7に関わる記録用クロック信号発生装置の具体例を示すものであり、VCO183が記録用クロック信号の発生手段を構成し、移相器19、分周期184、位相比較器181並びにLPF182が位相調整手段を構成する。

【0086】更に、他の実施の形態を図10を用いて説明する。この実施の形態は、本発明の請求項8に関わる記録用クロック信号発生装置の具体例を示すものである。

【0087】図10では、移相器19は、図3におけるPLL回路18（第1のPLL回路）のVCO183から出力される抽出ウォブル信号SWBに位相同期したクロック信号SCKに代えて、当該PLL回路18におけるクロック信号SCKを分周して抽出ウォブル信号と同じ周波数のパルス信号を生成する分周器184からの出力信号の位相を、位相比較回路16から供給される位相調整信号SCNTに応じて移相して調整ウォブル信号STWBを生成し、かかる調整ウォブル信号STWBを第2のPLL回路22に出力する。そして、第2のPLL回路22は、移相器19から供給される調整ウォブル信号STWBに位相同期した記録用クロック信号SCRを生成してエンコーダ6並びにパワー制御回路5に出力する。なお、図10における他の構成は、図3に示す構成と同じであるから、その説明は省略する。

【0088】図10に示す構成によれば、移相器19の移相量は図3の構成における移相器19の移相量に比べて小さくできるという利点がある。つまり、図3に示す移相器は、抽出ウォブル信号SWBの周波数に比べて186倍（ $1488T/8$ ）の周波数となるクロック信号S

CKを、抽出ウォブル信号SWBとプリピット検出信号SPDとの位相差である位相調整信号SCNTに応じて移相する構成であるため、移相量は360度以上必要である。例えば、抽出ウォブル信号とプリピット検出信号との位相が所定の位相関係から2度（抽出ウォブル信号の $1/180$ 波長分）ずれただけでも、クロック信号を1.03波、すなわち、372度（ 1.03×360 度）も移相しなければならない。

【0089】これに対して、図10の構成によれば、移相器19は、PLL回路18の分周器184から与えられるウォブル信号周期の出力信号を位相調整信号SCNTに応じて移相する構成であるから、例えば上記の如く抽出ウォブル信号SWBとプリピット検出信号SPDの位相が2度ずれた場合には、移相器19における移相量も2度である。

【0090】このように、図10に示す構成は、本発明を実現する際のより現実的な構成となる。なお、図10において、クロック信号の発生手段は、位相比較器181、LPF182、VCO183、並びに分周期184からなる第1のPLL回路18であり、位相調整手段は、移相器19、並びに位相比較器221、LPF222、VCO223、分周期224からなる第2のPLL回路22から構成されてなる。

【0091】上述した図3乃至図10に示す如き、抽出ウォブル信号の位相情報を担う信号とプリピット検出信号との位相比較によって得られる位相調整信号に基づいて記録用クロック信号の位相調整を行う構成であれば、いずれの構成であってもディスクの回転に高い精度で追従する記録用クロックを生成できるという効果が期待できる。

【0092】ところで、プリピットは、図2に示される通り、1シンクフレーム当たり最大で3個存在する。つまり、1シンクフレームの残りの期間にはプリピットが存在しないため、上述したプリピットによる補償動作は行われない。したがって、あるプリピットにより、隣接するトラックからのクロストークによるウォブル信号のジッタの補償を行っても、次にプリピットが検出されるまでの間はウォブル信号のジッタを補償することができないから、プリピットの存在しない期間にジッタが発生した場合には、記録用クロック信号の位相とディスクの回転位相とがずれてしまうことになる。

【0093】そこで、図11に示すように、プリピットの存在する期間と存在しない期間とで記録用クロック信号を発生せしめるPLL回路の追従性能を変化させる構成としてもよい。

【0094】図11には、図10におけるプリピット信号検出器13から出力されるプリピット検出信号SPDに応じて所定時間幅のパルス信号を発生する単安定マルチバイブレータ(MMV)23と、図10に示す第2のPLL回路22におけるLPF222と同じ帯域か或いは

LPF222よりも広い帯域を有するLPF242と、LPF222に比較して狭い帯域（直流成分近傍の周波数成分が通過し得る帯域）を有するLPF243と、使用するLPF（つまり、LPF242又はLPF243のいずれかのLPF）を上記MMV23の出力状態に応じて選択的に切換える切換えスイッチ244とを新たに備えたPLL回路24が記載されている。上記MMV23、LPF242、LPF243並びに切換えスイッチ245が請求項10における帯域制限手段である。

【0095】なお、上記MMV23は、上記所定時間幅のパルス信号を発生中に新たなプリピット検出信号が到来した際には、かかるプリピット検出信号の到来した時点から続けて所定時間幅のパルス信号を出力する、いわゆるリトリガブルなマルチバイブレータである。したがって、上記所定の時間幅を例えば抽出ウォブル信号の周期（約 $7.2\mu s$ ）より僅かに大となる時間（例えば $8\mu s$ ）に設定すると、1シンクフレーム当たり最大で約 $22.4\mu s$ （ $7.2\mu s + 7.2\mu s + 8\mu s$ ）のパルス信号がMMV23から供給されることになる。

【0096】かかるパルス信号が供給される期間は、切換えスイッチ244はLPF242を択一的に選択し、移相器19から供給される補正された抽出ウォブル信号に対するPLL回路24の追従性能を向上させる。

【0097】一方、上記パルス信号が供給されない期間、つまり、プリピットが検出されない期間は、切換えスイッチ244は、LPF243を択一的に選択し、移相器19から出力される抽出ウォブル信号に対するPLL回路24の追従性能を低下せしめるのである。

【0098】上記パルス信号が供給されない期間は、移相器19から出力される抽出ウォブル信号は、プリピットによる補正が施されていないから、クロストークによる高域の位相変動成分が含まれている可能性がある。そこで、かかる期間におけるPLL回路24の追従性能を低下せしめることにより、好ましくないクロストークによる位相変動成分への追従が行われることがなくなるのである。

【0099】なお、プリピットが存在しない期間において、LPF243による直流成分の帰還を行うことにより、次のプリピットが存在する期間におけるPLL回路24の引き込み動作に素早く移行できる。

【0100】また、図11ではLPF242とLPF243とをプリピット検出信号に応じて切換える構成としたが、LPF242の後段にサンプルホールド回路を設け、サンプル／ホールドの動作制御をプリピット検出信号に基づいて行う構成にしても、同様の効果が得られる。

【0101】なお、図3乃至図11に示した実施形態においては、記録媒体としてウォブリングされたグルーブトラック間（ランドトラック）にプリピットを形成したDVD-Rを採用した例について説明したが、データ記

録用トラックであるグルーブトラック上にプリピットが形成された記録媒体に対しても本願発明を適用することが可能である。

【0102】

【発明の効果】以上説明したように、本願発明のクロック信号発生装置では、抽出したウォブル信号の位相を担う信号と検出したプリピット信号との位相を比較して位相差信号を出力し、当該位相差信号に基づいてクロック信号の位相を調整するようにした。つまり、クロストークの影響を無視できないウォブル信号に基づいて生成されるクロック信号の時間軸上の変動を、クロストークの影響を受けないプリピットを用いて補正するので、ディスクの回転に高い精度で同期した記録用クロック信号を生成することが可能となる。

【図面の簡単な説明】

【図1】 ウォブリンググルーブとプリピットの構成の一例を示す関係図である。

【図2】 実施形態のDVD-R31における記録フォーマットの一例を示す図である。

【図3】 本願発明の第1の実施の形態である記録用クロック信号発生装置を含むデータ記録装置の全体構成を示すブロック図である。

【図4】 本願発明の第1の実施の形態の位相比較器16と移相器19の具体的な構成例を示す図である。

【図5】 図4の回路の動作を説明する波形の模式図である。

【図6】 本願発明の第2の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図7】 本願発明の第3の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図8】 本願発明の第4の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図9】 本願発明の第5の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図10】 本願発明の第6の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図11】 本願発明の第7の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

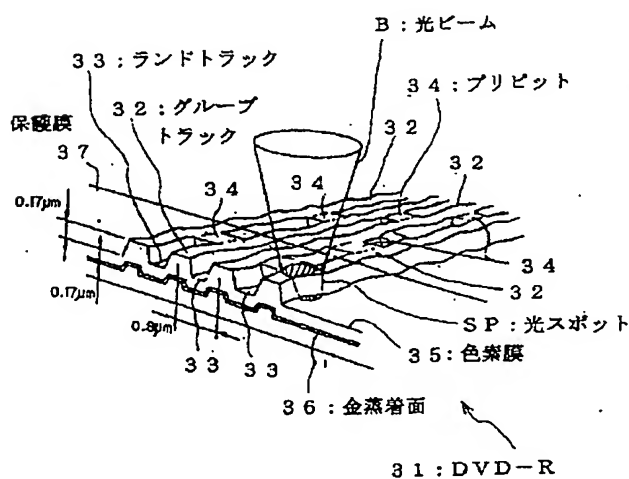
【符号の説明】

- 1 ピックアップ
- 2 スピンドルモータ
- 3 スピンドルドライバ
- 4 レーザ駆動回路
- 5 パワー制御回路

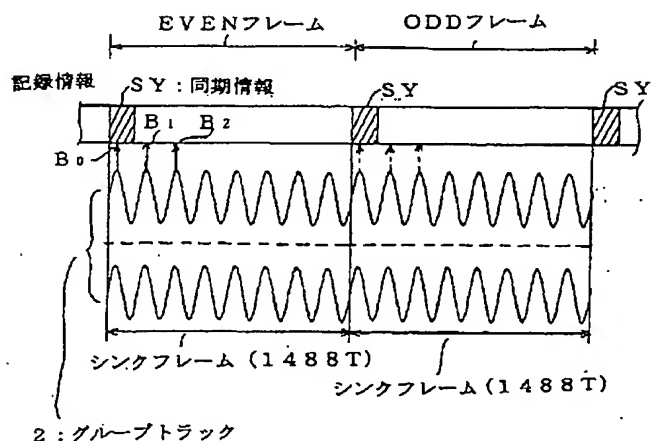
6 エンコーダ
 7 インタフェース
 8 再生増幅器
 9 デコーダ
 10 プロセッサ
 11 基準クロック発生器 12
 BPF
 13 プリビット検出手段としてのプリビッ
 ト信号検出器
 14 プリビット信号デコーダ
 15 ウォブル信号抽出手段としてのウォブ
 ル信号抽出器
 16 位相調整信号生成手段としての位相比
 較器
 17 位相比較器
 18、20 PLL回路
 22、24 第2のPLL回路
 181、201、221、241 位相比較

器
 182、202、222、242、243
 LPF
 183、203、223、245 VCO
 184、204、224、246 分周器
 244 切換えスイッチ
 23 マルチバイブレータ
 19 移相器
 163 三角波発生回路
 164 サンプルホールド回路
 31 DVD-R
 45、49、195、196 キャパシタ
 46 定電流源
 47、48 スイッチ
 191 トランジスタ
 192 可変容量ダイオード
 193、194、197 抵抗器

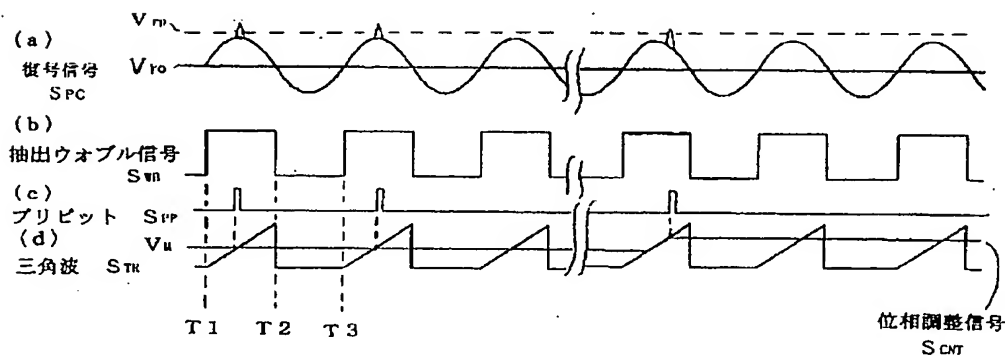
【図1】



【図2】



【図5】



[illegible]

[illegible]

The diagram illustrates the system architecture of a DVD-R drive, organized into several functional blocks and signal paths:

- Disc Interface:** A DVD-R disc (31) is connected to a motor (2) and a spindle motor driver (3). The motor driver (3) provides a reference signal (SREF) to a phase comparator (17).
- Control and Data Path:** A CPU (10) is the central control unit, connected to an interface (7), an encoder (6), a decoder (9), and a power control circuit (5). The CPU also manages a spindle motor driver (3) and a spindle motor (2).
- Signal Processing:**
 - The encoder (6) receives data from the CPU and outputs an SRE signal to the power control circuit (5).
 - The power control circuit (5) outputs a laser control signal (SD) to a laser drive circuit (4).
 - The laser drive circuit (4) outputs a laser beam (B) to a pickup (PU).
 - The pickup (PU) outputs a signal (SDT) to a regenerative amplifier (8), which then outputs a signal (SP) to the decoder (9).
 - The decoder (9) outputs a signal (SDM) to the CPU (10).
- Timing and Synchronization:**
 - A high-speed clock generator (11) provides a clock signal (SPP) to a band-pass filter (BPF) (12).
 - The BPF (12) outputs a signal (SPC) to a pre-bit signal output circuit (13).
 - The pre-bit signal output circuit (13) outputs a signal (SPDI) to a pre-bit signal decoder (14).
 - The pre-bit signal decoder (14) outputs a signal (SDI) to a phase comparator (16).
 - The phase comparator (16) outputs a signal (SNT) to a divider (21).
 - The divider (21) outputs a signal (SNT) to a phase shifter (19).
 - The phase shifter (19) outputs a signal (SCK) to a VCO (183).
 - The VCO (183) outputs a signal (SCK) to a phase comparator (181).
 - The phase comparator (181) outputs a signal (SCK) to a phase shifter (184).
 - The phase shifter (184) outputs a signal (SCK) to the VCO (183).
- Signal Flow Summary:**
 - SRR (Serial Read Request):** Input to the interface (7).
 - S (Serial Data):** Signal path between the CPU (10) and the encoder (6).
 - SCR (Serial Control Request):** Input to the CPU (10).
 - SNT (Serial Noise Threshold):** Signal path between the phase comparator (16) and the divider (21).
 - SCK (Serial Clock):** Signal path between the VCO (183) and the phase shifter (184).
 - G (Ground):** Common ground connection.

[illegible]

The diagram illustrates the internal components and signal flow of a DVD-R drive system. Key components include:

- 31 DVD-R**: The optical disc at the top.
- 2 モータ (Motor)**: Connected to the disc.
- 3 スピンドルドライバ (Spindle Driver)**: Receives **SREF** from the phase-locked loop section.
- 1 PU (Power Unit)**: Receives **B** from the laser control section and **SOT** from the reproduction amplifier.
- 4 レーザ駆動回路 (Laser Drive Circuit)**: Receives **B** and outputs **SD** to the power control section.
- 5 パワー制御回路 (Power Control Circuit)**: Receives **SD** and outputs **SRE** to the encoder.
- 6 エンコーダ (Encoder)**: Receives **SRE** and outputs **S** to the interface.
- 7 インタフェース (Interface)**: Receives **S** and outputs **SRR** to the external system.
- 8 再生増幅器 (Reproduction Amplifier)**: Receives **SDT** from the PU and outputs **SP** to the decoder.
- 9 デコーダ (Decoder)**: Receives **SP** and outputs **SDM** to the CPU.
- 10 CPU (Central Processing Unit)**: Receives **SDM** and outputs **SCR** to the interface.
- 11 基準クロック発生器 (Reference Clock Generator)**: Receives **SREF** and outputs **12** to the phase-locked loop section.
- 12 SWB (Subcarrier Frequency Bandwidth)**: Receives **12** and outputs **15** to the subcarrier frequency output section.
- 13 プリビット信号抽出器 (Preamble Signal Extractor)**: Receives **SPD** from the decoder and outputs **16** to the phase comparison section.
- 14 プリビット信号デコーダ (Preamble Signal Decoder)**: Receives **SPD** and outputs **16** to the phase comparison section.
- 15 ウォブル信号抽出器 (Wobble Signal Extractor)**: Receives **15** and outputs **16** to the phase comparison section.
- 16 位相比較器 (Phase Comparator)**: Receives **16** and outputs **SQNT** to the phase-locked loop section.
- 17 位相比較器 (Phase Comparator)**: Receives **12** and outputs **SREF** to the spindle driver.
- 18 位相比較器 (Phase Comparator)**: Receives **16** and outputs **181** to the LPF.
- 181 LPF (Low Pass Filter)**: Receives **181** and outputs **182** to the VCO.
- 182 VCO (Voltage-Controlled Oscillator)**: Receives **182** and outputs **183** to the divider.
- 183 分周器 (Divider)**: Receives **183** and outputs **184** to the phase-locked loop section.
- 184 分周器 (Divider)**: Receives **184** and outputs **185** to the phase-locked loop section.
- 185 分周器 (Divider)**: Receives **185** and outputs **186** to the phase-locked loop section.
- 186 分周器 (Divider)**: Receives **186** and outputs **187** to the phase-locked loop section.
- 187 分周器 (Divider)**: Receives **187** and outputs **188** to the phase-locked loop section.
- 188 分周器 (Divider)**: Receives **188** and outputs **189** to the phase-locked loop section.
- 189 分周器 (Divider)**: Receives **189** and outputs **190** to the phase-locked loop section.
- 190 分周器 (Divider)**: Receives **190** and outputs **191** to the phase-locked loop section.
- 191 分周器 (Divider)**: Receives **191** and outputs **192** to the phase-locked loop section.
- 192 分周器 (Divider)**: Receives **192** and outputs **193** to the phase-locked loop section.
- 193 分周器 (Divider)**: Receives **193** and outputs **194** to the phase-locked loop section.
- 194 分周器 (Divider)**: Receives **194** and outputs **195** to the phase-locked loop section.
- 195 分周器 (Divider)**: Receives **195** and outputs **196** to the phase-locked loop section.
- 196 分周器 (Divider)**: Receives **196** and outputs **197** to the phase-locked loop section.
- 197 分周器 (Divider)**: Receives **197** and outputs **198** to the phase-locked loop section.
- 198 分周器 (Divider)**: Receives **198** and outputs **199** to the phase-locked loop section.
- 199 分周器 (Divider)**: Receives **199** and outputs **200** to the phase-locked loop section.
- 200 分周器 (Divider)**: Receives **200** and outputs **201** to the phase-locked loop section.
- 201 分周器 (Divider)**: Receives **201** and outputs **202** to the phase-locked loop section.
- 202 分周器 (Divider)**: Receives **202** and outputs **203** to the phase-locked loop section.
- 203 分周器 (Divider)**: Receives **203** and outputs **204** to the phase-locked loop section.
- 204 分周器 (Divider)**: Receives **204** and outputs **205** to the phase-locked loop section.
- 205 分周器 (Divider)**: Receives **205** and outputs **206** to the phase-locked loop section.
- 206 分周器 (Divider)**: Receives **206** and outputs **207** to the phase-locked loop section.
- 207 分周器 (Divider)**: Receives **207** and outputs **208** to the phase-locked loop section.
- 208 分周器 (Divider)**: Receives **208** and outputs **209** to the phase-locked loop section.
- 209 分周器 (Divider)**: Receives **209** and outputs **210** to the phase-locked loop section.
- 210 分周器 (Divider)**: Receives **210** and outputs **211** to the phase-locked loop section.
- 211 分周器 (Divider)**: Receives **211** and outputs **212** to the phase-locked loop section.
- 212 分周器 (Divider)**: Receives **212** and outputs **213** to the phase-locked loop section.
- 213 分周器 (Divider)**: Receives **213** and outputs **214** to the phase-locked loop section.
- 214 分周器 (Divider)**: Receives **214** and outputs **215** to the phase-locked loop section.
- 215 分周器 (Divider)**: Receives **215** and outputs **216** to the phase-locked loop section.
- 216 分周器 (Divider)**: Receives **216** and outputs **217** to the phase-locked loop section.
- 217 分周器 (Divider)**: Receives **217** and outputs **218** to the phase-locked loop section.
- 218 分周器 (Divider)**: Receives **218** and outputs **219** to the phase-locked loop section.
- 219 分周器 (Divider)**: Receives **219** and outputs **220** to the phase-locked loop section.
- 220 分周器 (Divider)**: Receives **220** and outputs **221** to the phase-locked loop section.
- 221 分周器 (Divider)**: Receives **221** and outputs **222** to the phase-locked loop section.
- 222 分周器 (Divider)**: Receives **222** and outputs **223** to the phase-locked loop section.
- 223 分周器 (Divider)**: Receives **223** and outputs **224** to the phase-locked loop section.
- 224 分周器 (Divider)**: Receives **224** and outputs **225** to the phase-locked loop section.
- 225 分周器 (Divider)**: Receives **225** and outputs **226** to the phase-locked loop section.
- 226 分周器 (Divider)**: Receives **226** and outputs **227** to the phase-locked loop section.
- 227 分周器 (Divider)**: Receives **227** and outputs **228** to the phase-locked loop section.
- 228 分周器 (Divider)**: Receives **228** and outputs **229** to the phase-locked loop section.
- 229 分周器 (Divider)**: Receives **229** and outputs **230** to the phase-locked loop section.
- 230 分周器 (Divider)**: Receives **230** and outputs **231** to the phase-locked loop section.
- 231 分周器 (Divider)**: Receives **231** and outputs **232** to the phase-locked loop section.
- 232 分周器 (Divider)**: Receives **232** and outputs **233** to the phase-locked loop section.
- 233 分周器 (Divider)**: Receives **233** and outputs **234** to the phase-locked loop section.
- 234 分周器 (Divider)**: Receives **234** and outputs **235** to the phase-locked loop section.
- 235 分周器 (Divider)**: Receives **235** and outputs **236** to the phase-locked loop section.
- 236 分周器 (Divider)**: Receives **236** and outputs **237** to the phase-locked loop section.
- 237 分周器 (Divider)**: Receives **237** and outputs **238** to the phase-locked loop section.
- 238 分周器 (Divider)**: Receives **238** and outputs **239** to the phase-locked loop section.
- 239 分周器 (Divider)**: Receives **239** and outputs **240** to the phase-locked loop section.
- 240 分周器 (Divider)**: Receives **240** and outputs **241** to the phase-locked loop section.
- 241 分周器 (Divider)**: Receives **241** and outputs **242** to the phase-locked loop section.
- 242 分周器 (Divider)**: Receives **242** and outputs **243** to the phase-locked loop section.
- 243 分周器 (Divider)**: Receives **243** and outputs **244** to the phase-locked loop section.
- 244 分周器 (Divider)**: Receives **244** and outputs **245** to the phase-locked loop section.
- 245 分周器 (Divider)**: Receives **245** and outputs **246** to the phase-locked loop section.
- 246 分周器 (Divider)**: Receives **246** and outputs **247** to the phase-locked loop section.
- 247 分周器 (Divider)**:

[illegible]